

PATENT ABSTRACTS OF JAPAN

(11) Publication number :

2001-168531

(43) Date of publication of application : 22.06.2001

(51)Int.Cl.

H05K 3/46

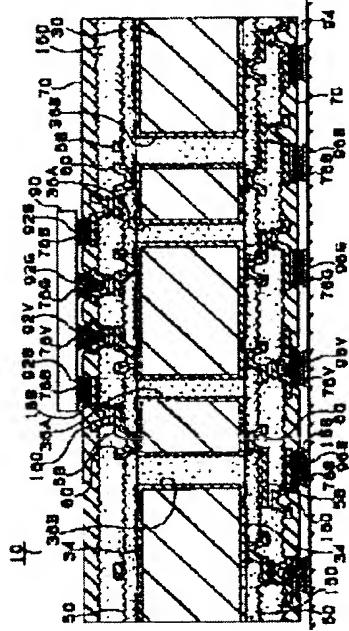
H01L 23/12

H05K 3/00

(21)Application number : 11-353868 (71)Applicant : IBIDEN CO LTD

(22) Date of filing : 14.12.1999 (72) Inventor : ASAI MOTO
O TOUTO

(54) MULTILAYER PRINTED WIRING BOARD AND MANUFACTURING METHOD THEREFOR



(57) Abstract:

PROBLEM TO BE SOLVED: To provide a multilayer printed wiring board together with its manufacturing method wherein the high-frequency characteristics of a ground line and power source line are improved to prevent malfunction of an IC chip.

SOLUTION: A large-diameter through hole 36B at an outer peripheral part is a signal line. A small-diameter through hole 36A at a central part is a power source line and ground line, thus arraying multiple power source lines and ground lines and shortening the wiring length from an IC chip 90 to a daughter board 94. So, the inductance component of the power source line and ground line to the IC chip is reduced, preventing malfunction of the IC chip.

[Claim(s)]

[Claim 1]A multilayer printed wiring board allocating a through hole where paths differ in said core substrate in a multilayer printed wiring board which laminates a resin insulating layer between layers, and a conductor circuit by turns to a core substrate in which a through hole which connects the upper and lower sides was formed.

[Claim 2]A multilayer printed wiring board having allocated a through hole of a byway in a center section of said core substrate in a multilayer printed wiring board which laminates a resin insulating layer between layers, and a conductor circuit by turns to a core substrate in which a through hole which connects the upper and lower sides was formed, and allocating a through hole of a major diameter in a peripheral part.

[Claim 3]A multilayer printed wiring board of Claim 2 having mainly allocated a power source wire and an earthing conductor in a through hole of said byway, and mainly allocating a signal wire in a through hole of said major diameter.

[Claim 4]A process of forming at least a process of forming a through-hole of a byway which serves as a through hole at the following (A): [manufacturing method / of a multilayer printed wiring board provided with a process of - (B)] (A) core substrates, and a through-hole which becomes with a through hole of a major diameter at the (B) aforementioned core substrate.

[Claim 5]A process of forming a through-hole of a byway which irradiates a center section of the following (A): [manufacturing method / of a multilayer printed wiring board provided with a process of - (B)] (A) core substrates with laser at least, or serves as a through hole with a drill, (B) A process of forming a through-hole which irradiates a peripheral part of said core substrate with laser, or serves as a through hole of a major diameter with a drill.

[Claim 6]A manufacturing method of a multilayer printed wiring board of Claim 5 having mainly allocated a power source wire and an earthing conductor in a through hole of said byway, and mainly allocating a signal wire in a through hole of said major diameter.

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the manufacturing method of the multilayer printed wiring board which can be conveniently used as a package substrate which lays an IC chip, and the multilayer printed wiring board concerned.

[0002]

[Description of the Prior Art]The multilayer buildup wiring board is widely used for the package substrate. This multilayer buildup wiring board is formed by carrying out the build up of every one layer of the resin insulating layers between layers which equip with wiring the core substrate which provided the through hole used as a signal wire, a power source wire, and an

earthing conductor. In the IC chip of high frequency, if the high-frequency characteristic of a power source wire and an earthing conductor taken about by the package substrate is improved and impedance is not lowered, the electric power supply through a power source wire stops catching up, and the earth level through an earthing conductor is changed and it becomes a cause of malfunction. In the package substrate corresponding to high frequency, by arranging many earthing conductors and power source wires, the same effect was acquired with having carried out multiple connection of the part for inductance, and the wave number characteristic is improved.

[0003]The through hole is formed by drilling a through-hole in a core substrate with a drill. However, in a drill, a detailed through hole cannot be formed with a narrow pitch, but it is becoming difficult to allocate a number of the power source wires and earthing conductors needed now. For this reason, using laser for a core substrate and drilling a through-hole is studied.

[0004]

[Problem(s) to be Solved by the Invention]However, heartwood, such as glass fabrics, is allocated inside, in order to form a through hole in a core substrate about 1 mm thick by laser, it is necessary to carry out long time irradiation of the laser for every hole, in order to drill hundreds of through-holes, floor to floor time becomes long, and a manufacturing cost increases. On the other hand, the open circuit might arise in the thermo cycle etc. and the through hole of the byway was unreliable as compared with the through hole of the major diameter by the existing drill.

[0005]this invention is made in order to solve SUBJECT mentioned above, and it comes out. The high frequency characteristic of the purpose and a power source wire is improved, and it is in providing the manufacturing method of the multilayer printed wiring board which may be made to prevent malfunction of the IC chip resulting from the shortage of an electric power supply, and this multilayer printed wiring board.

[0006]

[Means for Solving the Problem]In order to attain the above-mentioned purpose, Claim 1 makes it a technical feature to have allocated a through hole where paths differ in said core substrate in a multilayer printed wiring board which laminates a resin insulating layer between layers, and a conductor circuit by turns to a core substrate in which a through hole which connects the upper and lower sides was formed.

[0007]In an invention of Claim 1, since a through hole where paths differ in a core substrate is allocated, flexibility of wiring density of a through hole can be raised. Here, many power source wires and earthing conductors can be allocated by using a through hole of a byway as a power source wire and an earthing conductor, a part for inductance of a power source wire to an IC chip and an earthing conductor is reduced, and it becomes possible to prevent malfunction of an IC chip.

[0008]In a multilayer printed wiring board which laminates a resin

insulating layer between layers, and a conductor circuit by turns to a core substrate in which a through hole which connects the upper and lower sides was formed, Claim 2 mainly allocates a through hole of a byway in a center section of said core substrate, It makes to mainly have allocated a through hole of a major diameter in a peripheral part into a technical feature.

[0009]Claim 3 makes it a technical feature to mainly have allocated a power source wire and an earthing conductor in a through hole of said byway, and to mainly have allocated a signal wire in a through hole of said major diameter in Claim 2.

[0010]In Claim 2 and an invention of 3, since a through hole of a byway is allocated in a center section of the core substrate and a through hole of a major diameter is allocated in a peripheral part, wiring density of a center section can be raised. By using a through hole of a byway of a center section as a power source wire and an earthing conductor, while being able to allocate many power source wires and earthing conductors, a wire length from an IC chip to an external board can be shortened. For this reason, the amount of inductance of a power source wire to an IC chip and an earthing conductor decreases, and it becomes possible to prevent malfunction of an IC chip. A center section which can be set in this case is possible also for replacing as directly under [of an IC chip].

[0011]A process in which Claim 4 forms at least a process of forming a through-hole of a byway which serves as a through hole at the following (A): (A) core substrates in a manufacturing method of a multilayer printed wiring board provided with a process of - (B), and a through-hole from which it becomes with a through hole of a major diameter at the (B) aforementioned core substrate.

[0012]Since a through-hole of a byway which becomes a core substrate with a through hole, and a through-hole used as a through hole of a major diameter are formed, a core substrate with high flexibility of wiring density can consist of inventions of Claim 4 at a low price. Formation of each through hole may use whichever of laser and a drill. It is desirable to use laser for formation of a through hole of a byway especially. It is also possible to use as laser area processing and two or more kinds of laser using a mask which could use carbon dioxide, an excimer, YAG, UV, etc., and drilled a through-hole.

[0013]Claim 5 irradiates a center section of the following (A): (A) core substrates in a manufacturing method of a multilayer printed wiring board provided with a process of - (B) with laser at least, Or a process of forming a through-hole which irradiates with laser a process of forming a through-hole of a byway which serves as a through hole with a drill, and a peripheral part of the (B) aforementioned core substrate, or serves as a through hole of a major diameter with a drill.

[0014]Claim 6 makes it a technical feature to mainly have allocated a power source wire and an earthing conductor in a through hole of said byway, and to mainly have allocated a signal wire in a through hole of said major diameter in Claim 5.

[0015]In Claim 4 and an invention of 5, since a through hole of a byway is formed in a center section of the core substrate with laser or a drill and a through hole of a major diameter is formed in a peripheral part by drill or laser, a core substrate with high flexibility of wiring density of a center section can be formed at a low price. By using a through hole of a byway of a center section as a power source wire and an earthing conductor, while being able to allocate many power source wires and earthing conductors, a wire length from an IC chip to an external board can be shortened. For this reason, the amount of inductance of a power source wire to an IC chip and an earthing conductor decreases, and it becomes possible to prevent malfunction of an IC chip. In order to use a through hole of a high byway of probability which a faulty connection generates mainly as a power source wire and an earthing conductor, using a through hole of a low major diameter of probability which a faulty connection generates mainly as a signal wire, Even if an open circuit arises in a through hole by the side of the power source wire concerned and an earthing conductor, a multilayer printed wiring board can continue normal operation.

[0016]

[Embodiment of the Invention]Hereafter, a multilayer printed wiring board concerning the embodiment of this invention and a manufacturing method for the same are explained with reference to figures. First, the composition of the multilayer printed wiring board concerning a 1st embodiment of this invention is explained with reference to drawing 7 in which the sectional view of the multilayer printed wiring board 10 used as a package substrate is shown, and drawing 8 in which the state where carried the IC chip in this multilayer printed wiring board, and it attached to the daughter board is shown.

[0017]As shown in drawing 8, in the multilayer printed wiring board 10, the through hole 36A of a byway (100 micrometers) is formed in the central site of the core substrate 30, the through hole 36B of a major diameter (300 micrometers) is formed in the periphery side, and the conductor circuit 34 is formed in both sides of this core substrate 30. On this core substrate 30, the resin insulating layer 50 between lower layer side layers in which the viahole 60 and the conductor circuit 58 were formed is allocated. On this resin insulating layer 50 between lower layer layers, the resin insulating layer 150 between the upper layers in which the viahole 160 and the conductor circuit 158 were formed is arranged. The solder resist layer 70 is allocated on the resin insulating layer 150 between the upper layers.

[0018]The solder bumps 76S, 76V, and 76G for connection with an IC chip are allocated in the opening of the solder resist layer 70 by the upper surface of the multilayer printed wiring board 10. On the other hand, the solder bumps 76S, 76V, and 76G for connection with a daughter board are allocated in the opening of the solder resist layer 70 by the bottom of the package substrate.

[0019]The pad 92S for signals, the pad 92V for power supplies, and the pad 92G for grounding are allocated by IC chip 90. The pad 92S for signals is

connected to the major-diameter through hole 36B by the side of the periphery of the core substrate 30 via the solder bump 76S for signals through the viahole 160 of the resin insulating layer 150 between layers, and the viahole 60 of the resin insulating layer 50 between layers. And it is connected to the pad 96S for signals by the side of the daughter board 94 from the solder bump 76S for signals via the viaholes 60 and 160 by the side of [this major-diameter through hole 36B to] the undersurface.

[0020]On the other hand, the pad 92V for power supplies of IC chip 90 is connected to the byway through hole 36A of the central site of the core substrate 30 via the solder bump 76V for power supplies, and the viaholes 160 and 60 on top. And it is connected to the pad 96V for power supplies by the side of the daughter board 94 from the solder bump 76V for power supplies via the viaholes 60 and 160 by the side of [this byway through hole 36A to] the undersurface. Similarly, the pad 92G for grounding of IC chip 90 is connected to the byway through hole 36A of the central site of the core substrate 30 via the solder bump 76G for grounding, and the viaholes 160 and 60 on top. And it is connected to the pad 96G for grounding by the side of the daughter board 94 from the solder bump 76G for grounding via the viaholes 60 and 160 by the side of [this byway through hole 36A to] the undersurface.

[0021]Management of wiring with this IC chip and core substrate is shown in drawing 9 (A), and the upper surface of the core substrate 30 is shown in drawing 9 (B). Notice drawing 8 mentioned above about the point of a graphic display which reduced the number of the through holes 36A and 36B for convenience, and had been shown. As shown in drawing 9 (B), the byway through hole 36A is allocated in the center section of the core substrate 30, and the major-diameter through hole 36B is allocated in the substrate periphery side. And as shown in drawing 9 (A), the line from the power supply pad 92V and the ground pad 92G of IC chip 90 is mainly allocated in the byway through hole 36A of the core substrate 30. And the line from the pad 92S for signals of IC chip 90 is mainly allocated in the major-diameter through hole 36B of a core substrate. The byway through hole 36A is formed by laser so that it may mention later, and as for the major-diameter through hole 36B, forming with a drill is desirable. Instead, both the byway through hole 36A and the major-diameter through hole 36B can also be formed with laser or a drill.

[0022]According to this embodiment, since the byway through hole 36A is formed in the center section of the core substrate 30 by laser and the through hole 36B of a major diameter is formed in a peripheral part with a drill, a core substrate with high wiring density of a center section can be formed at a low price. By using the byway through hole 36A of a center section as a power source wire and an earthing conductor, while being able to allocate many power source wires and earthing conductors, the wire length from IC chip 90 to the daughter board 94 can be shortened. For this reason, the amount of inductance of the power source wire to an IC chip and an earthing

conductor decreases, electric power is supplied in an instant, change of an earth level is prevented, and it becomes possible to prevent malfunction of an IC chip. In order to use the high byway through hole 36A of the probability which a faulty connection generates mainly as a power source wire and an earthing conductor, using the low major-diameter through hole 36B of the probability which a faulty connection generates mainly as a signal wire, Even if an open circuit arises in the through hole by the side of the power source wire concerned and an earthing conductor, a multilayer printed wiring board can continue normal operation.

[0023]Hereafter, the manufacturing method of the multilayer printed wiring board 10 shown in drawing 7 and drawing 8 is explained with reference to figures. Here, the outline composition of the carbon dioxide gas laser which drills a through-hole in the core substrate 30 and the resin insulating layer 50 between layers is first explained with reference to drawing 10. Mitsubishi Electric ML505GT is used as a laser device concerning an embodiment. Mitsubishi Electric2 [ML5003D] is used as the CO2 laser transmitter 180.

[0024]The light which came out of the laser generator 180 enters into the galvano-head 170 via the mask 182 for transfer for making the focus on a substrate clear. The galvano-head 170 comprises 1 set of galvanomirrors at two sheets of the galvanomirror 174X which scans a laser beam in the direction of X, and the galvanomirror 174Y scanned in the direction of Y, These mirrors 174X and 174Y are driven by the motors 172X and 172Y for control. The motors 172X and 172Y adjust the angle of the mirrors 174X and 174Y according to the control command from the control device which is not illustrated, and they are constituted so that the detecting signal from the built-in encoder may be sent out to this computer side.

[0025]A laser beam is scanned in the direction of X-Y via the galvanomirrors 174X and 174Y, respectively, passes along the ftheta lens 176, and forms the through-hole 33B for through holes in the core substrate 30. The core substrate 30 is laid in X-Y table 190 which moves in the direction of X-Y.

[0026]Then, the manufacturing process of the multilayer printed wiring board concerning a 1st embodiment of this invention is explained with reference to drawing 1 thru/or drawing 6. According to this 1st embodiment, a multilayer printed wiring board is formed depending on the method of a semi additive.

[0027](1) Copper clad laminate 30A which the 18-micrometer copper foil 32 laminates to both sides of the substrate 30 which consists of 0.8-mm-thick glass epoxy resin or BT (bismaleimide triazine) resin as shown in drawing 1 (A) was made into the charge of a start material. This copper clad laminate 30A First, NaOH (10 g/l), NaClO₂ (40 g/l), the solution containing Na₃PO₄ (6 g/l) -- melanism -- reduction processing which makes a reduction bath the solution containing the blackening treatment made into a bath (oxidation bath) and NaOH (10 g/l), and NaBH₄ (6 g/l) is performed, and the roughened surface 32 beta is formed in all the surfaces of the copper foil 32 (refer to drawing 1 (B)). Here, although the roughened surface was formed by

melanism reduction processing, a roughened surface can also be established with etching mentioned later or nonelectrolytic plating.

[0028](2) Next, it lays in X-Y table 190 of the carbonic acid laser device which mentioned the substrate 30 above with reference to drawing 10, With a CO₂ gas laser with a wavelength of 10.4 micrometers, the through-hole 33A 100 micrometers in diameter is drilled in the center of the substrate 30 in a 300-micrometer pitch by the beam diameter of 5 mm, top hat mode, the pulse width for 50 microseconds, and the conditions of ten shots (refer to drawing 1 (C) and drawing 9 (B)).

[0029](3) And drill the through-hole 33B 300 micrometers in diameter in the peripheral part of the core substrate 30 in a 600-micrometer pitch with the drill 98 (refer to drawing 1 (D) and drawing 9 (B)).

[0030]It is immersed in electroless plating liquid and a copper-plating film by depositing on the side attachment wall of the through-holes 33A and 33B. Then, the through hole 36A, After forming 36B (drawing 2 (A)), in accordance with a conventional method, the inner layer copper pattern (lower layer conductor circuit) 34 is formed in both sides of a substrate by etching at pattern state (drawing 2 (B)).

[0031](4) Wash in cold water the substrate in which the lower layer conductor circuit 34 was formed, and after drying, an etching reagent is sprayed on both sides of a substrate by a spray, The roughened surface 36 beta was formed in all the surfaces of the lower layer conductor circuit 34 at the roughened surface 34 beta, and the land 36a and wall of the through holes 36A and 36B by etching the surface of the lower layer conductor circuit 34, the land 36a surface of the through holes 36A and 36B, and a wall (refer to drawing 2 (C)). A roughened surface can be formed by melanism and reduction processing. in this case, the solution containing NaOH (10 g/l), NaClO₂ (40 g/l), and Na₃PO₄ (6 g/l) -- melanism -- reduction processing which makes a reduction bath the solution containing the blackening treatment made into a bath (oxidation bath) and NaOH (10 g/l), and NaBH₄ (6 g/l) is performed.

[0032]A roughened surface can also be formed in the etching reagent which consists of the second copper complex, organic acid salt and hydrogen peroxide, and sulfuric acid by immersion or carrying out a spray. A roughened surface can also be formed with nonelectrolytic plating. In forming a roughened surface with nonelectrolytic plating, Carry out alkaline degreasing, and carry out soft etching to the substrate 30 in which the conductor circuit 34 was formed, and it ranks second to it, Process with the catalyst solution which consists of chloridation PARAJIUMU and organic acid, and a Pd catalyst is given, Copper sulfate 3.2×10^{-2} mol/l after activating this catalyst, Nickel sulfate 3.9×10^{-3} mol/l, complexing agent 5.4×10^{-2} mol/l, Sodium hypophosphite 3.3×10^{-1} mol/l, boric acid 5.0×10^{-1} mol/l, 0.1 g/l of surface-active agents (the Nissin Chemical Industry make, Sir FIRU 465), It dips in the electroless plating liquid which consists of PH=9, and length, and the enveloping layer and roughened layer of a needlelike alloy which carry

out lateral vibration and become the conductor circuit 34 and the land 36a surface of the through hole 36 from Cu-nickel-P are provided in 1 time per 4 seconds at a rate 1 minute after immersion.

[0033](5) By using a printing machine for both sides of a substrate, and applying to them the resin filler 40 which uses cycloolefin system resin or epoxy system resin as the main ingredients, it was filled up in between the lower layer conductor circuits 34 or the through hole 36A, and 36B, and stoving was performed. That is, this process is filled up with the resin filler 40 in between the lower layer conductor circuits 34 or the through hole 36A, and 36B (refer to drawing 2 (D)).

[0034](6) One side of a substrate which finished processing of the above (5) by belt sander polish using belt abrasive paper (made by Sankyo Rikagaku). It ground so that the resin filler 40 might remain in neither the surface of the lower layer conductor circuit 34, nor the land 36a surface of the through holes 36A and 36B, and subsequently buffing for removing the crack by the above-mentioned belt sander polish was performed. Such a series of polishes were similarly performed about the field of another side of a substrate. And heat cure of the filled resin filler 40 was carried out (refer to drawing 3 (A)).

[0035]Thus, remove the roughened layer 34 beta of the layer part of the resin filler 40, and the lower layer conductor circuit 34 upper surface with which the through hole 36 grade was filled up, and substrate both sides are smoothed, The wiring board which the resin filler 40 and the side of the lower layer conductor circuit 34 stuck firmly via the roughened surface 34 beta, and the internal surface and the resin filler 40 of the through hole 36 stuck firmly via the roughened surface 36 beta is obtained.

[0036](7) Next, the same etching reagent as the etching reagent used above (4) is sprayed on both sides of the substrate which finished processing of the above (6) by a spray, By etching the surface of the lower layer conductor circuit 34 and the land 36a surface of the through hole 36 by which flattening was once carried out, the roughened surface 34 beta was formed in all the surfaces of the lower layer conductor circuit 34, and the roughened layer 36 beta was formed in the land 36a surface of a through hole (refer to drawing 3 (B)). Although the roughened surface is formed by etching at this process, a roughened layer can also instead be formed with nonelectrolytic plating.

[0037](8) Next, vacuum-pressure-arrival-laminate to both sides of the substrate which passed through the above-mentioned process by pressure [of 5kg/cm] ², carrying out temperature up of the 50-micrometer-thick heat-hardened type cycloolefin system resin sheet to the temperature of 50-150 **, and form in them the resin insulating layer 50 between layers which consists of cycloolefin system resin (refer to drawing 3 (C)). The degree of vacuum at the time of vacuum pressure arrival is adjusted to 10mmHg.

[0038]With a CO₂ gas laser with a wavelength of 10.4 micrometers, (9) Next, the beam diameter of 5 mm, The opening 48 for viaholes 80 micrometers in diameter was formed in the resin insulating layer 50 between layers which consists of cycloolefin system resin on top hat mode, 15 microseconds of pulse

width, the bore diameter of 0.5 mm of a mask, and the conditions of five shots (refer to drawing 3 (D)). Then, desmear treatment was performed using oxygen plasma.

[0039](10) Next, plasma treatment was performed using SV-4540 by Japan vacuum-technology incorporated company, and the surface of the resin insulating layer 50 between layers was roughened (refer to drawing 4 (A)). Under the present circumstances, argon gas was used as inactive gas, it is the electric power 200W, 0.6 Pa of gas pressure, and conditions with a temperature of 70 **, and plasma treatment was carried out for 2 minutes.

[0040](11) Next, after exchanging internal argon gas using the same device, Cu weld slag was performed after nickel weld slag on condition of for [atmospheric pressure / of 0.6 Pa /, temperature /of 80 ** / electric power 200W, and time] 5 minutes, and nickel-Cu alloy layer 52 was formed in the surface of the resin insulating layer 50 between polyolefin system layers. At this time, the thickness of the formed nickel/Cu metal layer 52 was 0.2 micrometer of Ci layer (0.05 micrometer) and a Cu layer (0.15 micrometer) (refer to drawing 4 (B)).

[0041](12) Stick a commercial photosensitive dry film on both sides of the substrate which finished the above-mentioned processing, and a photomask film is laid in them, After exposing by 100 mJ/cm², the development was carried out by sodium carbonate 0.8%, and the pattern of the 15-micrometer-thick plating resist 54 was formed (refer to drawing 4 (C)).

[0042](13) Next, electroplating was given on condition of the following and the 15-micrometer-thick electroplating film 56 was formed (refer to drawing 5 (A)). It means that plating restoration etc. of the portion used as thickness attachment and the viahole 60 of a portion which serve as the conductor circuit 58 at the process mentioned later with this electroplating film 56 were performed. The additive agent in electroplating solution is ATOTEKKU Japan KAPARASHIDO HL.

[0043][Electroplating solution]

Sulfuric acid 2.24 mol/l copper sulfate 0.26 mol/l additive agent 19.5 ml/l
[Electroplating conditions]

Current density 1 A/dm² time 65 part temperature 22**2 ** [0044](14) Subsequently, after carrying out the strip of the plating resist 54 by NaOH 5%, Dissolution removal was carried out by etching using the mixed liquor of nitric acid and sulfuric acid, and hydrogen peroxide of nickel-Cu alloy layer 52 which existed under the plating resist 54, and the conductor circuit 58 (the viahole 60 is included) with a thickness of 16 micrometers which consists of electrolytic copper plating film 56 grade was formed (refer to drawing 5 (B)).

[0045](15) Then, the above (5) By repeating the process of - (13), the upper resin insulating layer 150 between layers, the conductor circuit 158, and the viahole 160 were formed further (refer to drawing 5 (C)).

[0046](16). Next, made it dissolve in diethylene glycol dimethyl ether (DMDG) so that it may become 60% of the weight of concentration. Oligomer

(molecular weight: 4000) 46.67 weight section of the photosensitive grant which acrylic-ized 50% of the epoxy group of cresol novolak type epoxy resin (made by Nippon Kayaku Co., Ltd.), 80% of the weight of the bisphenol A type epoxy resin (oil recovery shell company make.) in which methyl ethyl ketone was dissolved trade name: -- Epicoat 1001 15 weight section and an imidazole hardening agent (made in Shikoku Chemicals.) trade name: -- the polyfunctional acrylic monomer (the Nippon Kayaku Co., Ltd. make.) which are 2E4 MZ-CN1.6 weight section and a photosensitive monomer trade name: -- R6043 weight section -- the same -- a multivalent acrylic monomer (the Kyoei Kagaku K.K. make.) trade name: -- six ADPE1.5 weight section and a dispersed system defoaming agent (the Sannopuko make.) Trade name : Take S-65 0.71 weight section in a container, stir and mix, and a mixed composition is prepared, as opposed to this mixed composition -- as a photopolymerization initiator -- benzophenone (made by Kanto Kagaku) 2.0 weight section, and Michler's-ketone (made by Kanto Kagaku) 0.2 weight section as a photosensitizer -- in addition, the soldering resist composition (organic resin insulating material) which adjusted viscosity to 2.0 Pa and s at 25 ** was obtained. In the case of 60 rpm, in the case of rotor No.4 and 6 rpm, measurement of viscosity was based on rotor No.3 by the Brookfield viscometer (the Tokyo Keiki Co., Ltd. make, DVL-B type).

[0047](17) Next, the above-mentioned soldering resist composition is applied to both sides of a multilayer interconnection board by a thickness of 20 micrometers, After carrying out for 20 minutes at 70 ** and performing a drying process on condition of for 30 minutes at 70 **, The 5-mm-thick photo mask in which the pattern of the solder resist opening was drawn was stuck to the solder resist layer, it exposed by the ultraviolet rays of 1000 mJ/cm², the development was carried out with the DMTG solution, and the opening 71 200 micrometers in diameter was formed. At 120 ** at 100 ** by 80 ** further for 1 hour for 1 hour And 1 hour, The solder resist layer (organic resin insulating layers) 70 which heat-treated on the conditions of 3 hours at 150 **, respectively, and was made to harden a solder resist layer, in which the solder pad portion carried out the opening and in which the thickness is 20 micrometers was formed (drawing 6 (A)). The resin film which carried out semi-hardening of the solder resist may be stuck, and the opening of the soldering pads may be carried out by exposure and development, or laser.

[0048](18) Next, the substrate in which the solder resist layer (organic resin insulating layers) 70 was formed, Nickel chloride (2.3×10^{-1} mol/l), sodium hypophosphite (2.8×10^{-1} mol/l), It was immersed in the electroless nickel plating liquid of pH=4.5 containing sodium acid citrate (1.6×10^{-1} mol/l) for 20 minutes, and the 5-micrometer-thick nickel plating layer 72 was formed in the opening 71 (drawing 6 (B)). The substrate Gold cyanide potassium (7.6×10^{-3} mol/l), Ammonium chloride (1.9×10^{-1} mol/l), sodium acid citrate (1.2×10^{-1} mol/l), It was immersed in the electroless plating liquid containing sodium hypophosphite (1.7×10^{-1} mol/l) for 7.5 minutes on 80 ** conditions, and the 0.03-micrometer-thick gold plating layer 74 was formed on the nickel

plating layer 72.

[0049](19) After this, print soldering paste to the opening of the solder resist layer 70, by carrying out a reflow at 200 **, form the solder bumps (solder object) 76S, 76V, and 76G, and complete the multilayer printed wiring board 10 (refer to drawing 7).

(20) Finally attach IC chip 90 to the solder bumps 76S, 76V, and 76G of the multilayer printed wiring board 10 by the pads 92S and 92V and laying IC chip 90 so that it may correspond 92G, and performing a reflow. And the package substrate 10 concerned is laid in the daughter board 94, and it lays to the daughter board concerned by performing a reflow (drawing 8).

[0050]Then, a multilayer printed wiring board concerning a 2nd embodiment of this invention and a manufacturing method for the same are explained. Drawing 17 shows the section of the multilayer printed wiring board concerning a 2nd embodiment applied to the package substrate. The multilayer printed wiring board 110 of this 2nd embodiment is the same as that of a 1st embodiment mentioned above with reference to drawing 7. However, although the solder bumps 76S, 76V, and 76G were allocated in the undersurface of a multilayer printed wiring board in a 1st embodiment, the conductive connecting pin 78 is allocated in this 2nd embodiment.

[0051]Then, the manufacturing method of the multilayer printed wiring board of a 2nd embodiment is explained. Here, production of the resin film for the resin insulating layers between A. layers and preparation of B. resin filler are explained first.

A. Production bisphenol A type epoxy resin (weight per epoxy equivalent 469, Epicoat 1001 by oil recovery shell epoxy company) 30 weight section of the resin film for the resin insulating layers between layers, Cresol-novolak-type-epoxy-resin (weight per epoxy equivalent 215, Epiclon N-673 by Dainippon Ink & Chemicals, Inc.) 40 weight section, Triazine structure content phenol novolak resin (phenolic hydroxyl equivalent 120, Dainippon Ink & Chemicals, Inc. make FENO light KA-7052) 30 weight section Ethyl diethylene glycol acetate 20 weight section, Carry out heating and dissolving, stirring to solvent naphtha 20 weight section, and there End epoxidation polybutadiene rubber (Nagase Brothers Chemical Industry company make DENAREKKUSU R-45EPT) 15 weight section, and the 2-phenyl- 4, 5-bis(hydroxymethyl)imidazole grinding article 1.5 weight section, The amount part of pulverizing silica duplexs and silicon system defoaming agent 0.5 weight section were added, and the epoxy resin composition was prepared. After applying using a roll coater so that the thickness after drying the obtained epoxy resin composition on a 38-micrometer-thick PET film may be set to 50 micrometers, the resin film for the resin insulating layers between layers was produced by making it dry for 10 minutes at 80-120 **.

[0052]B. The mean particle diameter coated with the silane coupling agent on preparation bisphenol female mold epoxy monomer (oil recovery shell company make and molecular weight:310, YL983U) 100 weight section of a resin filler, and the surface at 1.6 micrometers. the diameter of grain of

maximum size -- a SiO_2 spherical particle (the Adtec Corp. make.) of 15 micrometers or less CRS 1101-CE170 weight section and leveling agent (Sannopuko PERENORU S4) 1.5 weight section were taken in the container, and the viscosity prepared the resin filler of 45 - 49 Pa·s at 23**1 ** by carrying out stirring mixing. Imidazole hardening agent (made in [Shikoku Chemicals], 2E4 MZ-CN) 6.5 weight section was used as a hardening agent. [0053]Copper clad laminate 30A which the 18-micrometer copper foil 32 laminates to both sides of the substrate 30 which consists of glass epoxy resin with a manufacturing method (1) thickness of 0.8 mm or BT (bismaleimide triazine) resin of a multilayer printed wiring board was made into the charge of a start material (refer to drawing 11 (A)). This copper clad laminate 30A First, NaOH (10 g/l), NaClO_2 (40 g/l), the solution containing Na_3PO_4 (6 g/l) -- melanism -- reduction processing which makes a reduction bath the solution containing the blackening treatment made into a bath (oxidation bath) and NaOH (10 g/l), and NaBH_4 (6 g/l) was performed, and the roughened surface 32 beta was formed in all the surfaces of the copper foil 32 (refer to drawing 11 (B)).

[0054](2) Next, lay in the table of the carbonic acid laser device which mentioned the substrate 30 above with reference to drawing 10, and drill the through-hole 33A 100 micrometers in diameter in the center of the substrate 30 in a 300-micrometer pitch by irradiating with carbon dioxide gas laser (refer to drawing 11 (C) and drawing 9 (B)).

[0055](3) And drill the through-hole 33B 300 micrometers in diameter in the peripheral part of the core substrate 30 in a 600-micrometer pitch with the drill 98 (refer to drawing 11 (D) and drawing 9 (B)). It is immersed in electroless plating liquid and a copper-plating film by depositing on the side attachment wall of the through-holes 33A and 33B Then, the through hole 36A, After forming 36B (drawing 12 (A)), in accordance with the conventional method, the inner layer copper pattern (lower layer conductor circuit) 34 was formed in both sides of a substrate by etching at pattern state (drawing 12 (B)).

[0056](4) Wash in cold water the substrate in which the lower layer conductor circuit 34 was formed, and after drying, an etching reagent is sprayed on both sides of a substrate by a spray, By etching the surface of the lower layer conductor circuit 34, the land 36a surface of the through holes 36A and 36B, and a wall, the roughened surface 34 beta was formed in all the surfaces of the lower layer conductor circuit 34, and the roughened layer 36 beta was formed in the land 36a surface and the wall of the through holes 36A and 36B (refer to drawing 12 (C)). As an etching reagent, what mixed imidazole copper (II) complex 10 weight section, glycolic acid 7 weight section, potassium chloride 5 weight section, and ion-exchange-water 78 weight section was used.

[0057](5) After carrying out the stroke of the resin filler indicated by the above-mentioned B, the layer of the resin filler 40 was formed in the through holes 36A and 36B and the conductor circuit agenesis part of one side of the

substrate 30, and the outer edge section of the conductor circuit 34 within 24 hours after adjustment by the following method (refer to drawing 12 (D)). That is, after pushing in the resin filler 40 in the through hole 36A and 36B using a squeegee, it was made to dry on 100 ** and the conditions for 20 minutes first. Next, the mask in which the portion equivalent to a conductor circuit agenesis part carried out the opening was laid on the substrate, the layer of the resin filler 40 was formed in the conductor circuit agenesis part which is a crevice using the squeegee, and it was made to dry on 100 ** and the conditions for 20 minutes.

[0058](6) One side of a substrate which finished processing of the above (5) by belt sander polish using the belt abrasive paper (made by Sankyo Rikagaku) of #600. It ground so that the resin filler 40 might remain in neither the surface of the inner layer copper pattern 4, nor the land 36a surface of the through holes 36A and 36B, and it ranked second, and buffing for removing the crack by the above-mentioned belt sander polish was performed. Such a series of polishes were similarly performed about the field of another side of a substrate. Subsequently, it carried out at 100 ** for 1 hour, heat-treatment of 1 hour was performed at 150 **, and the resin filler 40 was hardened.

[0059]Thus, flattening of the layer part of the resin filler 40 and the surface of the lower layer conductor circuit 34 which were formed in the through holes 36A and 36B or a conductor circuit agenesis part is carried out, The insulating substrate which the resin filler 40 and the side of the lower layer conductor circuit 34 stuck firmly via the roughened surface 34 beta, and the internal surface and the resin filler 40 of the through holes 36A and 36B stuck firmly via the roughened surface 36 beta was obtained (refer to drawing 13 (A)). That is, the surface of the resin filler 40 and the surface of the lower layer conductor circuit 34 turn into the same flat surface by this process.

[0060](7) Rinsing and after carrying out acid degreasing, carry out soft etching of the above-mentioned substrate, and it ranks second, By spraying an etching reagent on both sides of a substrate by a spray, and etching the surface of the lower layer conductor circuit 34, the land 36a surface of the through holes 36A and 36B, and a wall, The roughened surface 34 beta was formed in all the surfaces of the lower layer conductor circuit 34, and the roughened layer 36 beta was formed in the land 36a surface of a through hole (refer to drawing 13 (B)). As an etching reagent, the etching reagent (mEq company make, mEq dirty bond) which consists of imidazole copper (II) complex 10 weight section, glycolic acid 7 weight section, and potassium chloride 5 weight section was used.

[0061](8) The somewhat larger resin film for the resin insulating layers between layers than the substrate produced by the above-mentioned A to both sides of the substrate is laid on a substrate, After carrying out temporary sticking by pressure and judging on pressure 4kgf/cm², the temperature of 80 **, and the conditions for sticking-by-pressure time 10

seconds, the resin insulating layer 50 between layers was formed by sticking using a vacuum laminator device by the method of further the following (refer to drawing 13 (C)). That is, actual sticking by pressure was carried out on degree-of-vacuum 0.5Torr and pressure 4kgf/cm², the temperature of 80 **, and the conditions for sticking-by-pressure time 60 seconds, and the resin film for the resin insulating layers between layers was made to heat-harden for 30 minutes at 170 ** after that on a substrate.

[0062](9) Lay the mask 49 in which the 1.2-mm-thick breakthrough 49a was formed on the resin insulating layer 50 between layers. And with a CO₂ gas laser with a wavelength of 10.4 micrometers on the beam diameter of 4.0 mm, top hat mode, 5.0 microseconds of pulse width, the diameter of 1.0 mm of the breakthrough of a mask, and the conditions of one shot. The opening 48 for viaholes 80 micrometers in diameter was formed in the resin insulating layer 50 between layers (refer to drawing 13 (D)).

[0063](10) By immersing the substrate 30 in which the opening 48 for viaholes was formed, for 10 minutes in the 80 ** solution containing 60 g/l of permanganic acid, and carrying out dissolution removal of the epoxy resin particle which exists in the surface of the resin insulating layer 50 between layers, The surface of the resin insulating layer 50 between layers including the wall of the opening 48 for viaholes was made into the split face (refer to drawing 14 (A)).

[0064](11) Next, after the substrate which finished the above-mentioned processing was immersed in the neutralized solution (made by SHIPUREI), it was washed in cold water. The catalyst core was made to adhere to the surface of the resin insulating layer 50 between layers, and the internal surface of the opening 48 for viaholes by giving a palladium catalyst to the surface of this substrate that carried out the surface roughening process (a roughening depth of 3 micrometers).

[0065](12) Next, the substrate was immersed into the non-electrolytic copper plating solution of the following presentations, and the 0.6-3.0-micrometer-thick non-electrolytic copper plating film 51 was formed in the whole split face (refer to drawing 14 (B)).

[Nonelectrolytic plating solution]

NiSO₄0.003 mol/l tartaric acid 0.200 mol/l copper sulfate 0.030 mol/lHCHO 0.050 mol/lNaOH 0.100 mol/lalpha and alpha'-bipyridyl 40 mg/l polyethylene-glycol (PEG) 0.10 g/l [Nonelectrolytic plating conditions]

It is 35 ** in the degree of solution temperature, and is 40 minutes.

[0066](13) The 30-micrometer-thick plating resist 54 was formed by sticking a commercial photosensitive dry film on the non-electrolytic copper plating film 51, laying a mask, exposing by 100 mJ/cm², and carrying out a development in sodium carbonate solution 0.8% (refer to drawing 14 (C)).

[0067](14) Subsequently, 50 ** water washed the substrate and it degreased, and with 25 ** water, after rinsing, after sulfuric acid washed further, electrolytic copper plating was performed on condition of the following, and the 20-micrometer-thick electrolytic copper plating film 56 was formed (refer

to drawing 15 (A)).

[Electrolysis plating solution]

Sulfuric acid 2.24 mol/l copper sulfate 0.26 mol/l additive agent 19.5 ml/l
(made in ATOTEKKU Japan, KAPARASHIDO HL)

[Electrolysis plating conditions]

Current density 1 A/dm² time 65 part temperature 22**2 ** [0068](15) After carrying out the strip of the plating resist 54 by NaOH 5%, carry out the etching process of the electroless plating film 51 under the plating resist 54 with the mixed liquor of sulfuric acid and hydrogen peroxide, and dissolution removal is carried out, The conductor circuit (the viahole 60 is included) 58 with a thickness of 18 micrometers which consists of the non-electrolytic copper plating film 51 and the electrolytic copper plating film 56 was formed (refer to drawing 15 (B)).

[0069]The same processing as (16) and (7) was performed, and the roughened surface 62 was formed with the etching reagent containing the second copper complex and organic acid (refer to drawing 15 (C)).

[0070](17) The above-mentioned (8) By repeating the process of - (16), the upper resin insulating layer 160 between layers, the conductor circuit 158, and the viahole 160 were formed further, and the multilayer interconnection board was obtained (refer to drawing 16 (A)).

[0071](18) Next, the same soldering resist composition as a 1st embodiment is applied to both sides of a multilayer interconnection board by a thickness of 20 micrometers, After carrying out for 20 minutes at 70 ** and performing a drying process on condition of for 30 minutes at 70 **, The 5-mm-thick photo mask in which the pattern of the solder resist opening was drawn was stuck to the solder resist layer, it exposed by the ultraviolet rays of 1000 mJ/cm², the development was carried out with the DMTG solution, and the opening 71 200 micrometers in diameter was formed. And further, by 1 hour and 100 **, it carries out at 120 ** for 1 hour for 1 hour, heat-treats [80 **] on the conditions of 3 hours at 150 **, respectively, a solder resist layer is stiffened, it has an opening, and the solder resist patterned layer 70 in which the thickness is 20 micrometers was formed (drawing 16 (B)). As the above-mentioned soldering resist composition, a commercial soldering resist composition and the resin film of a solder resist can also be used.

[0072]The substrate in which the solder resist layer 70 was formed (19) Next, nickel chloride (2.3×10^{-1} mol/l), It was immersed in the electroless nickel plating liquid of pH=4.5 containing sodium hypophosphite (2.8×10^{-1} mol/l) and sodium acid citrate (1.6×10^{-1} mol/l) for 20 minutes, and the 5-micrometer-thick nickel plating layer 72 was formed in the opening 71. The substrate Gold cyanide potassium (7.6×10^{-3} mol/l), Ammonium chloride (1.9×10^{-1} mol/l), sodium acid citrate (1.2×10^{-1} mol/l), It was immersed in the unelectrolyzed gold plating liquid containing sodium hypophosphite (1.7×10^{-1} mol/l) for 7.5 minutes on 80 ** conditions, and the 0.03-micrometer-thick gold plating layer 74 was formed on the nickel plating layer 72 (drawing 16 (C)).

[0073](20) After this to the opening of the solder resist layer 70 of a field

which lays the IC chip of a substrate. After printing the soldering paste containing ***-lead and printing the soldering paste which contains ***-antimony in the opening of the solder resist layer 70 of the field of another side further, the solder vamps 76S, 76V, and 76G were formed in the upper surface by carrying out a reflow at 200 **. And the conductive connecting pin 78 was allocated in the undersurface, and the printed circuit board 110 was manufactured (refer to drawing 17).

[0074]Then, a 3rd embodiment of this invention is described. In a 1st and 2nd embodiment mentioned above, the breakthroughs 33A and 33B were drilled in copper-clad *****. On the other hand, in a 3rd embodiment, after forming a resin layer in copper-clad *****, the breakthroughs 33A and 34B are formed.

[0075]The formation method of the core substrate of this 3rd embodiment is explained with reference to drawing 18.

(1) Copper clad laminate 30A which the 18-micrometer copper foil 32 laminates to both sides of the substrate 30 which consists of 0.8-mm-thick glass epoxy resin, BT, FR-4, and FR-5 resin was made into the charge of a start material (refer to drawing 18 (A)). It etched into pattern state in accordance with the conventional method, and the inner layer copper pattern (lower layer conductor circuit) 31 was formed in both sides of a substrate (drawing 18 (B)).

[0076](2) Next, stick the ABF resin insulating film later mentioned to both sides of the substrate 30, and form the resin layer 35 (drawing 18 (C)). (3) Lay the substrate 30 in the table of the same carbonic acid laser device as a 1st embodiment, and drill the through-hole 33A 100 micrometers in diameter in the center of the substrate 30 in a 300-micrometer pitch by irradiating with carbon dioxide gas laser (refer to drawing 18 (D)).

[0077](3) And drill the through-hole 33B 300 micrometers in diameter in the peripheral part of the core substrate 30 in a 600-micrometer pitch with the drill 98 (refer to drawing 18 (E)).

(4) After that, it is immersed in electroless plating liquid, and etch and form the conductor circuit 34, after forming the through holes 36A and 36B by depositing a copper-plating film on the side attachment wall of the through-holes 33A and 33B (refer to drawing 18 (F)). Since subsequent processes are the same as that of a 1st and 2nd embodiment mentioned above, a graphic display and explanation are omitted.

[0078]As the above-mentioned ABF resin film, the ingredient of poorly soluble resin, soluble particles, a hardening agent, and others contains. Each is explained below.

[0079]The particles (henceforth soluble particles) of fusibility distribute the resin film used in the manufacturing method of this invention in poorly soluble resin (henceforth poorly soluble resin) to acid or an oxidizer at acid or an oxidizer. When the same time immersion is carried out, the word of "poor solubility" and the "fusibility" which are used by this invention calls "fusibility" relatively what has an early dissolution rate for convenience to

the solution which consists of the same acid or oxidizer, and calls "poor solubility" relatively what has a late dissolution rate to it for convenience.

[0080]As the above-mentioned soluble particles, the metal particles (henceforth, soluble metal particles) of fusibility, etc. are mentioned to acid or an oxidizer at the inorganic particle (henceforth, soluble inorganic particle), acid, or the oxidizer of fusibility at the resin particle (henceforth, soluble resin particle), acid, or the oxidizer of fusibility, for example. These soluble particles may be used independently and may be used together two or more sorts.

[0081]The shape in particular of the above-mentioned soluble particles is not limited, but a globular shape, a granular type, etc. are mentioned. As for the shape of the above-mentioned soluble particles, it is desirable that it is uniform shape. It is because the roughened surface which has unevenness of uniform granularity can be formed.

[0082]As mean particle diameter of the above-mentioned soluble particles, 0.1-10 micrometers is desirable. As long as it is the range of this particle diameter, the thing of two or more kinds of different particle diameter may be contained. That is, it is containing the soluble particles whose mean particle diameter is 0.1-0.5 micrometer, and the soluble particles whose mean particle diameter is 1-3 micrometers etc. A thereby more complicated roughened surface can be formed and it excels also in adhesion with a conductor circuit. In this invention, the particle diameter of soluble particles is the length of the longest portion of soluble particles.

[0083]As the above-mentioned soluble resin particle, what consists of thermosetting resin, thermoplastics, etc. is mentioned, and when immersed in the solution which consists of acid or an oxidizer, it will not be limited especially if a dissolution rate is quicker than the above-mentioned poorly soluble resin. As an example of the above-mentioned soluble resin particle, for example An epoxy resin, phenol resin, What consists of polyimide resin, polyphenylene resin, polyolefin resin, a fluoro-resin, etc. may be mentioned, and it may consist of a kind of these resin, and may consist of a mixture of two or more sorts of resin.

[0084]The resin particle which consists of rubbers can also be used as the above-mentioned soluble resin particle. As the above-mentioned rubber, the acrylonitrile-butadiene rubber (meta) containing various modified polybutadiene rubbers, such as polybutadiene rubber, epoxy denaturation, urethane denaturation, and acrylonitrile (meta) denaturation, and a carboxyl group, etc. are mentioned, for example. It becomes easy to dissolve a soluble resin particle in acid or an oxidizer by using such rubbers. That is, when acid other than strong acid can also dissolve when dissolving a soluble resin particle using acid, and dissolving a soluble resin particle using an oxidizer, a permanganate with comparatively weak oxidizing power can also be dissolved. Even when chromic acid is used, it can dissolve by low concentration. Therefore, neither acid nor an oxidizer remains on the resin surface, and when giving catalysts, such as a palladium chloride, there is no

thing [have] which a catalyst gives and which it swarms or a catalyst oxidizes after roughened surface formation, so that it may mention later.

[0085]The particles etc. which are chosen from the group which consists of an aluminium compound, a lime compound, a potassium compound, a magnesium compound, and a silicon compound as the above-mentioned soluble inorganic particle, for example and which consist of kinds at least are mentioned.

[0086]As the above-mentioned aluminium compound, they are mentioned by alumina, aluminium hydroxide, etc. and, for example as the above-mentioned lime compound, For example, they are mentioned by calcium carbonate, calcium hydroxide, etc. and as the above-mentioned potassium compound, Potassium carbonate etc. are mentioned, as the above-mentioned magnesium compound, magnesia, dolomite, basic magnesium carbonate, etc. are mentioned and silica, zeolite, etc. are mentioned as the above-mentioned silicon compound. These may be used independently and may be used together two or more sorts.

[0087]The particles etc. which are chosen from the group which consists of copper, nickel, iron, zinc, lead, gold, silver, aluminum, magnesium, calcium, and silicon as the above-mentioned soluble metal particles, for example and which consist of kinds at least are mentioned. The surface may be covered with resin etc. in order that these soluble metal particles may secure insulation.

[0088]When two or more sorts are mixed and it uses the above-mentioned soluble particles, as a combination of two sorts of soluble particles to mix, the combination of a resin particle and an inorganic particle is desirable. While both of conductivity can be hurt low and can secure the insulation of a resin film, it is because it is easy to aim at adjustment of thermal expansion between poorly soluble resin, a crack does not occur in the resin insulating layer between layers which consists of resin films and exfoliation does not occur between the resin insulating layer between layers, and a conductor circuit.

[0089]When using acid or an oxidizer for the resin insulating layer between layers and forming a roughened surface as the above-mentioned poorly soluble resin, especially if the shape of a roughened surface can be held, it will not be limited, for example, thermosetting resin, thermoplastics, these complexes, etc. are mentioned. It may be the photopolymer which gave photosensitivity to these resin. by using a photopolymer, exposure and a development are used for the resin insulating layer between layers, and the opening for viaholes is formed -- things can be carried out. In these, the thing containing thermosetting resin is desirable. Thereby, it is because the shape of a roughened surface can be held also by plating liquid or various heat-treatment.

[0090]As an example of the above-mentioned poorly soluble resin, an epoxy resin, phenol resin, polyimide resin, polyphenylene resin, polyolefin resin, a fluoro-resin, etc. are mentioned, for example. These resin may be used

independently and may use two or more sorts together. The epoxy resin which has two or more epoxy groups in one molecule is more desirable. It is because it excels in heat resistance etc., so it not only can form the above-mentioned roughened surface, but concentration of stress does not occur in a metal layer and exfoliation of a metal layer, etc. cannot break out easily under heat cycle conditions.

[0091]As the above-mentioned epoxy resin, for example Cresol novolak type epoxy resin, A bisphenol A type epoxy resin, bisphenol F type epoxy resin, Phenol novolak type epoxy resin, alkylphenol novolak type epoxy resin, A biphenol female mold epoxy resin, a naphthalene type epoxy resin, dicyclopentadiene type epoxy resin, the epoxidation thing of the condensate of phenols and the aromatic aldehyde which has a phenolic hydroxyl group, triglycidyl isocyanurate, cycloaliphatic epoxy resin, etc. are mentioned. These may be used independently and may use two or more sorts together. Thereby, it excels in heat resistance etc.

[0092]As for the above-mentioned soluble particles, in the resin film used by this invention, it is desirable to distribute almost uniformly in the above-mentioned poorly soluble resin. Even if the roughened surface which has unevenness of uniform granularity can be formed and it forms a viahole and a through hole in a resin film, it is because the adhesion of the metal layer of the conductor circuit formed on it is securable. The resin film containing soluble particles may be used only for the layer part which forms a roughened surface. Except the layer part of a resin film, since it is not exposed to acid or an oxidizer by it, the insulation between the conductor circuits through the resin insulating layer between layers is kept certain by it.

[0093]As for the loadings of the soluble particles currently distributed in poorly soluble resin, in the above-mentioned resin film, 3 to 40 % of the weight is desirable to a resin film. If the loadings of soluble particles may be unable to form the roughened surface which has desired unevenness in less than 3 % of the weight and exceed 40 % of the weight, When soluble particles are dissolved using acid or an oxidizer, it may dissolve to the depths of a resin film, and insulation between the conductor circuits through the resin insulating layer between layers which consists of resin films cannot be maintained, but it may become a cause of a short circuit.

[0094]As for the above-mentioned resin film, it is desirable to contain the ingredient of a hardening agent and others, etc. in addition to the above-mentioned soluble particles and the above-mentioned poorly soluble resin. As the above-mentioned hardening agent, for example An imidazole series hardening agent, an amine system hardening agent, Organic phosphine system compounds, such as that which *****ed a guanidinium system hardening agent, and the epoxy adducts of these hardening agents and these hardening agents, triphenyl phosphine, and tetraphenyl phosphonium tetraphenylborate, etc. are mentioned.

[0095]As for the content of the above-mentioned hardening agent, it is

desirable that it is 0.05 to 10 % of the weight to a resin film. In less than 0.05 % of the weight, since hardening of a resin film is insufficient, the degree by which acid and an oxidizer invade into a resin film becomes large, and the insulation of a resin film may be spoiled. On the other hand, when it exceeds 10 % of the weight, a superfluous hardening agent component may denature the presentation of resin, and the fall of reliability may be caused.

[0096]As the above and other ingredients, fillers, such as an inorganic compound which does not influence formation of a roughened surface, or resin, are mentioned, for example. As the above-mentioned inorganic compound, silica, alumina, dolomite, etc. are mentioned and polyimide resin, a poly acrylic resin, polyamide imide resin, polyphenylene resin, melanin resin, olefin system resin, etc. are mentioned as the above-mentioned resin, for example. By making these fillers contain, consistency, heat-resistant and chemical-resistant improvement, etc. in a coefficient of thermal expansion can be aimed at, and the performance of a printed wired board can be raised.

[0097]The above-mentioned resin film may contain the solvent. As the above-mentioned solvent, aromatic hydrocarbon, such as ketone, such as acetone, methyl ethyl ketone, and cyclohexanone, ethyl acetate, butyl acetate, a cellosolve acetate, toluene, xylene, etc. are mentioned, for example. These may be used independently and may be used together two or more kinds.

[0098]Although the through hole of the byway was allocated in the center section and the major-diameter through hole was allocated in the peripheral part in the embodiment mentioned above, this invention is not limited to this but can allocate the through hole of a byway in the part which needs to raise wiring density suitably.

[0099][Comparative example 1] Besides having formed the through hole of the core substrate with the diameter of 100 micrometers altogether with laser, it is the same as that of a 1st embodiment.

[Comparative example 2] Besides having formed the through hole of the core substrate with the diameter of 300 micrometers altogether with the drill, it is the same as that of a 1st embodiment.

[Comparative example 3] Besides having formed the through hole of the core substrate with the diameter of 100 micrometers altogether with laser, it is the same as that of a 2nd embodiment.

[Comparative example 4] Besides having formed the through hole of the core substrate with the diameter of 300 micrometers altogether with the drill, it is the same as that of a 2nd embodiment.

[0100]A 1-GHz high-frequency IC chip was mounted in the multilayer printed wiring board of a 1st, 2nd, and 3rd embodiment, and the multilayer printed wiring board of the comparative examples 1, 2, 3, and 4, respectively, and the comparative study was done. As a result, in the comparative examples 2 and 4, the error of the IC chip occurred frequently. Since this has few power source wires and earth wires, it is guessed that it is what is depended on supply of the power supply having stopped fulfilling demand. On the other hand, the multilayer printed wiring board of a 1st, 2nd, and 3rd

embodiment and the comparative examples 1 and 3 have provided the stable operation. However, in order that the multilayer printed wiring board of the comparative examples 1 and 3 may form all the through holes by laser, to the multilayer printed wiring board of the 1st - a 3rd embodiment, the manufacturing cost is very high and the probability which a through hole disconnects becomes high.

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (A), (B), (C), and (D) are the manufacturing process figures of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 2] Drawing 2 (A), (B), (C), and (D) are the manufacturing process figures of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 3] Drawing 3 (A), (B), (C), and (D) are the manufacturing process figures of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 4] Drawing 4 (A), (B), and (C) is a manufacturing process figure of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 5] Drawing 5 (A), (B), and (C) is a manufacturing process figure of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 6] Drawing 6 (A) and (B) is a manufacturing process figure of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 7] It is a sectional view of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 8] It is a sectional view of the multilayer printed wiring board concerning a 1st embodiment of this invention.

[Drawing 9] Drawing 9 (A) is an explanatory view showing the wiring management in a core substrate.

Drawing 9 (B) is a top view of a core substrate.

[Drawing 10] It is an explanatory view of the carbon-dioxide-gas-laser device which forms an opening.

[Drawing 11] Drawing 11 (A), (B), (C), and (D) are the manufacturing process figures of the multilayer printed wiring board concerning a 2nd embodiment of this invention.

[Drawing 12] Drawing 12 (A), (B), (C), and (D) are the manufacturing process figures of the multilayer printed wiring board concerning a 2nd embodiment of this invention.

[Drawing 13] Drawing 13 (A), (B), and (C) is a manufacturing process figure of the multilayer printed wiring board concerning a 2nd embodiment of this invention.

[Drawing 14] Drawing 14 (A), (B), and (C) is a manufacturing process figure

of the multilayer printed wiring board concerning a 2nd embodiment of this invention.

[Drawing 15]Drawing 15 (A), (B), and (C) is a manufacturing process figure of the multilayer printed wiring board concerning a 2nd embodiment of this invention.

[Drawing 16]Drawing 16 (A), (B), and (C) is a manufacturing process figure of the multilayer printed wiring board concerning a 2nd embodiment of this invention.

[Drawing 17]It is a sectional view of the multilayer printed wiring board concerning a 2nd embodiment of this invention.

[Drawing 18]It is a sectional view of the core substrate of the multilayer printed wiring board concerning a 3rd embodiment of this invention.

[Description of Notations]

30 Core substrate

33A and 33B Through-hole

34 Conductor circuit

36A Byway viahole

36B Major-diameter through hole

40 Resin filler

50 The resin insulating layer between layers

58 Conductor circuit

60 Viahole

70 Solder resist layer

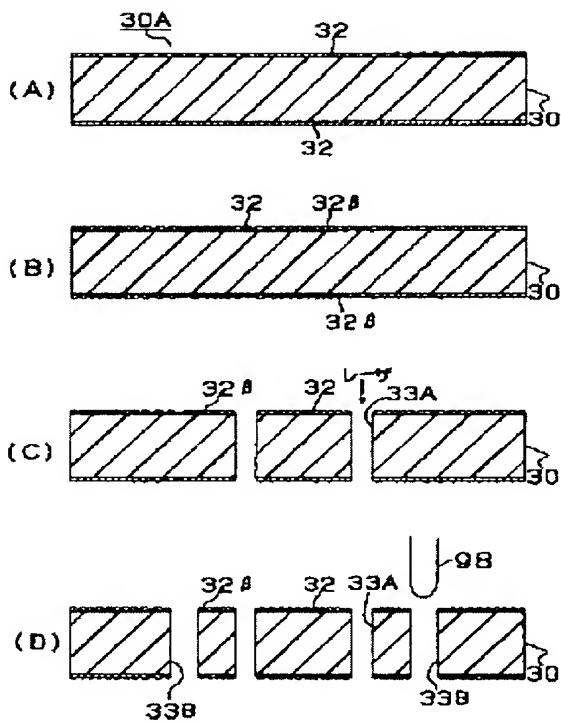
76S, 76V, 76G solder bump

150 The resin insulating layer between layers

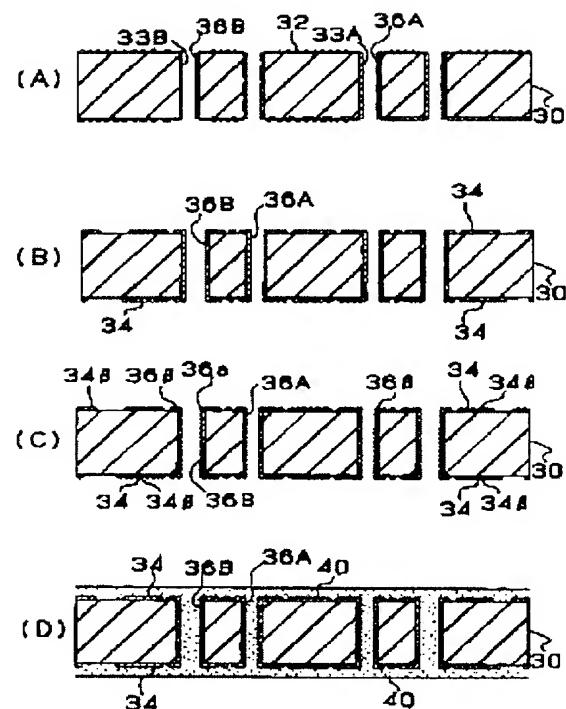
158 Conductor circuit

160 Viahole

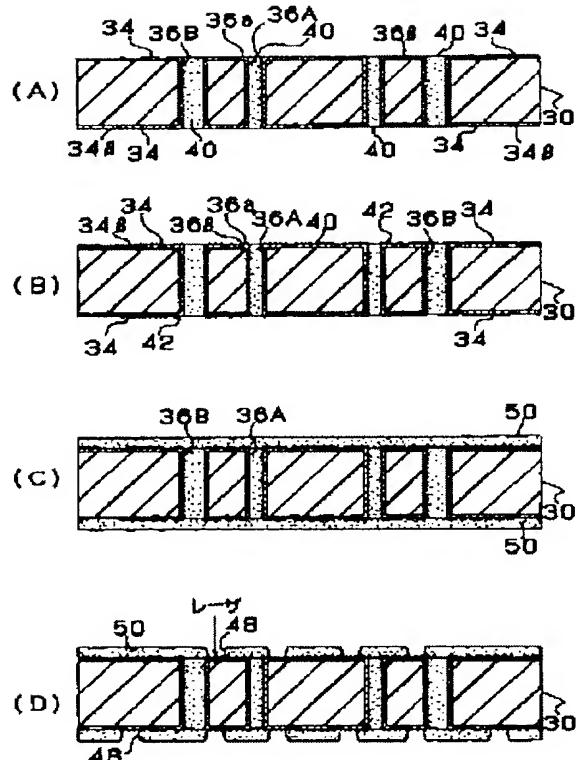
【図1】



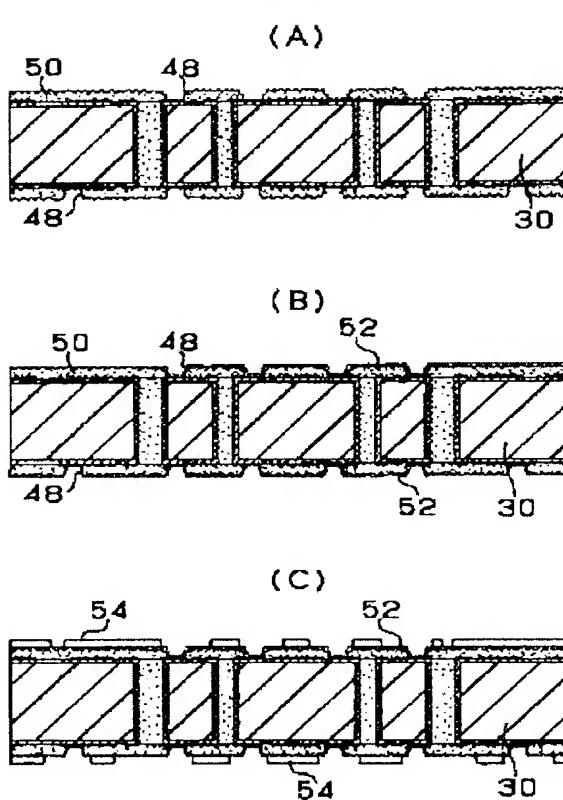
【図2】



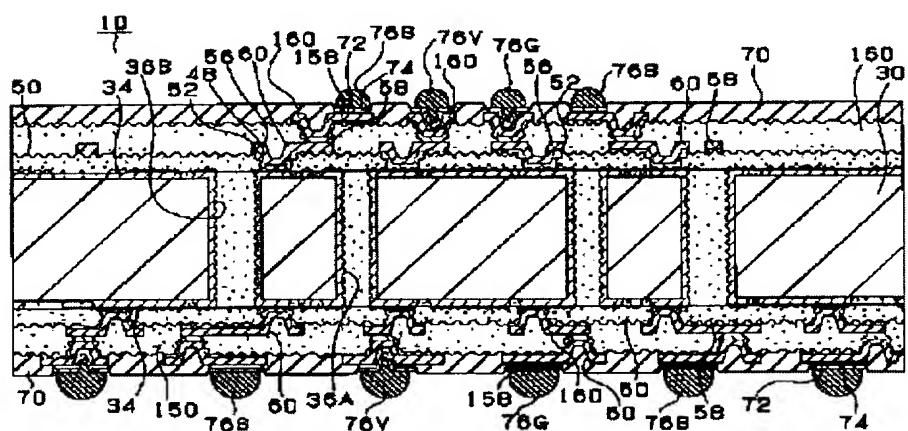
[図3]



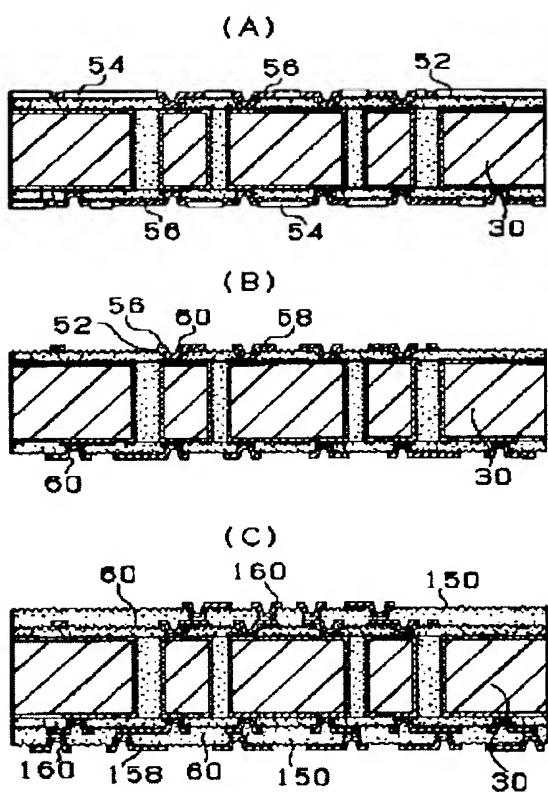
[図1]



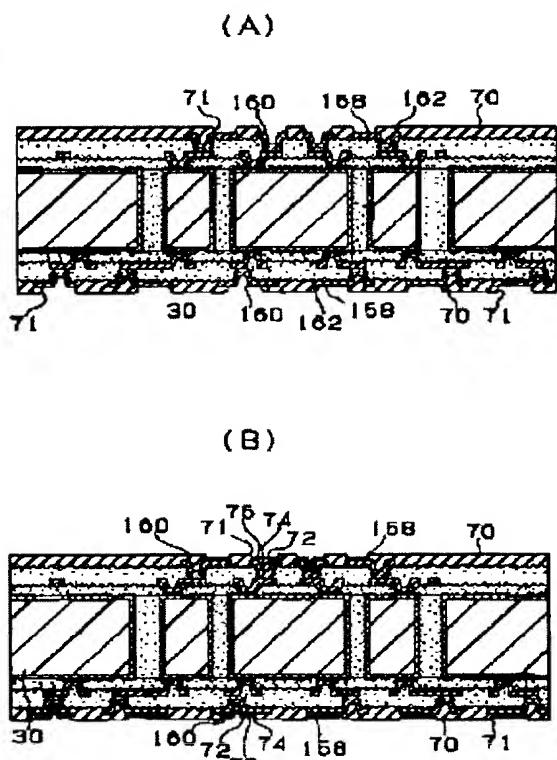
[図7]



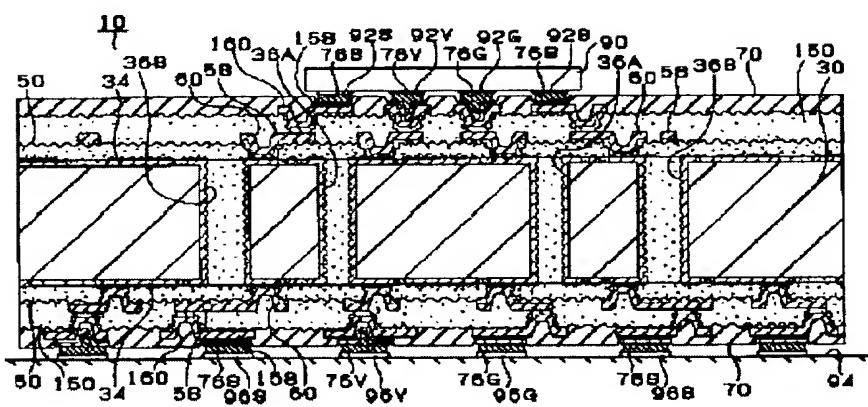
【図5】



【図6】

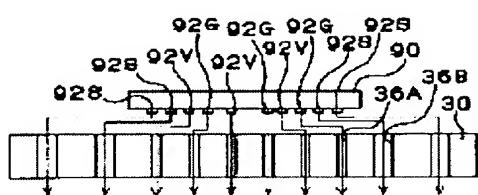


【図8】

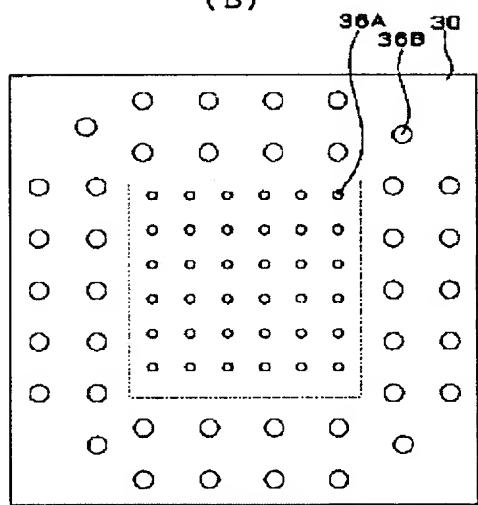


【図9】

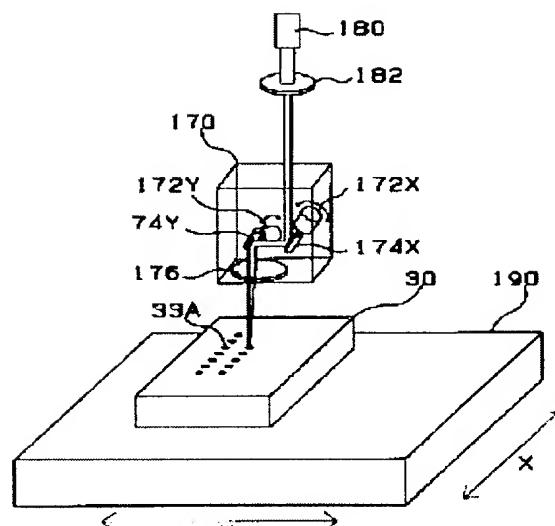
(A)



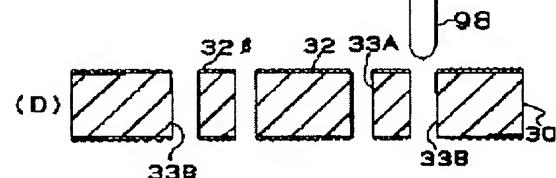
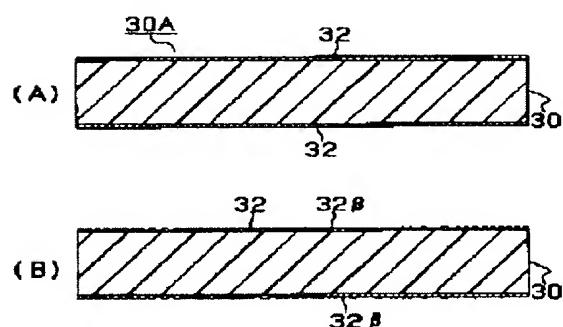
(B)



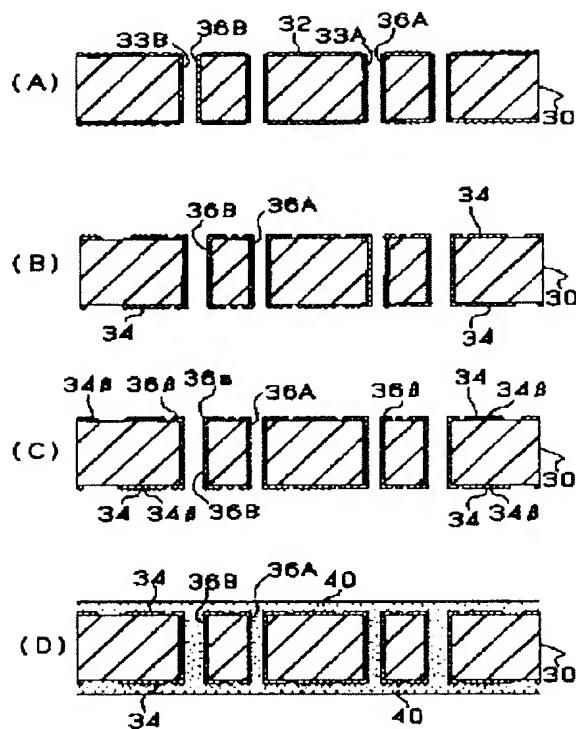
【図10】



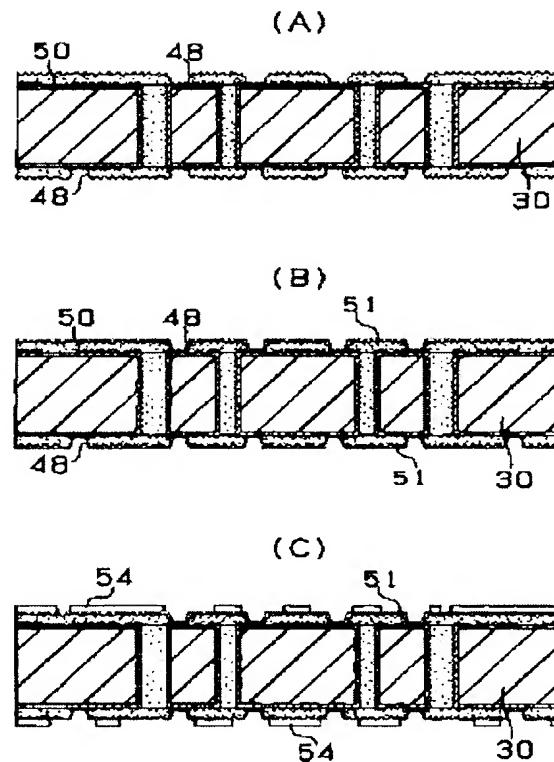
【図11】



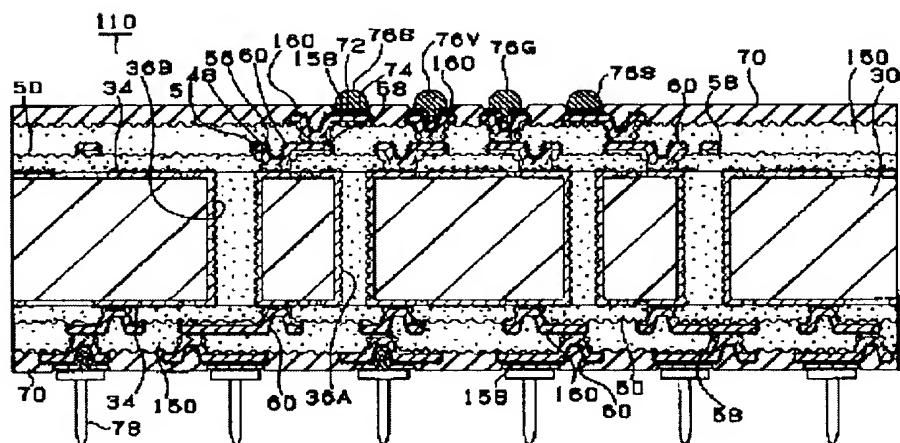
[図12]



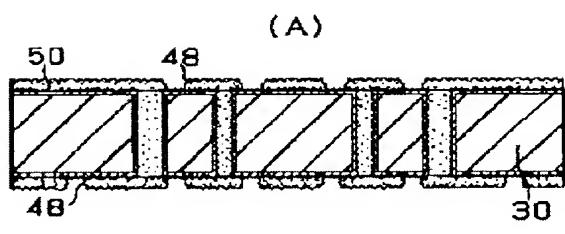
[図13]



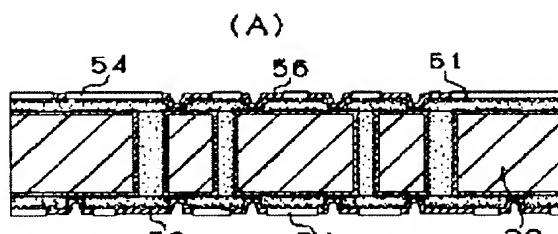
[図17]



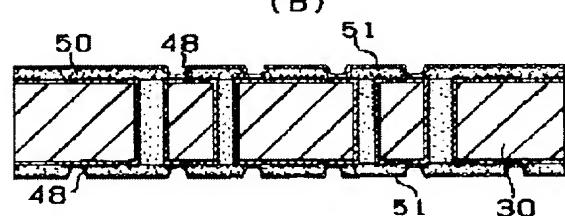
【図14】



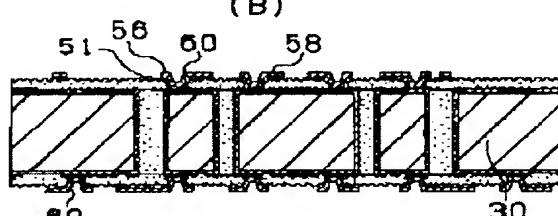
【図15】



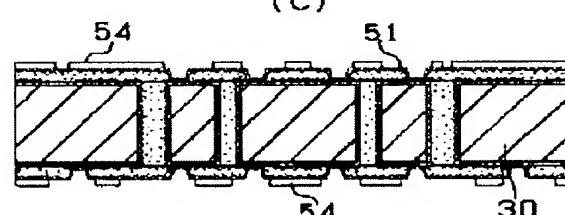
(B)



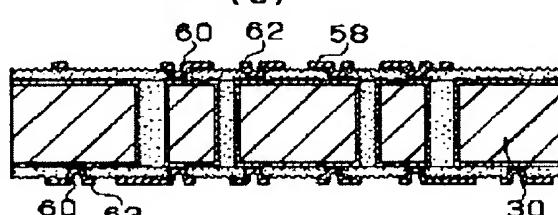
(B)



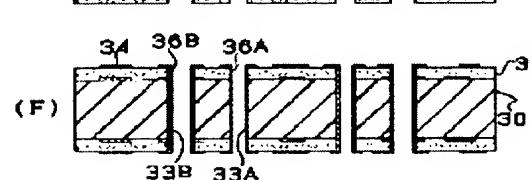
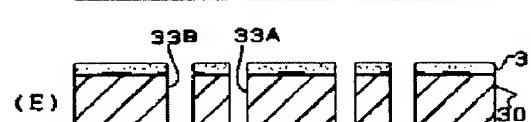
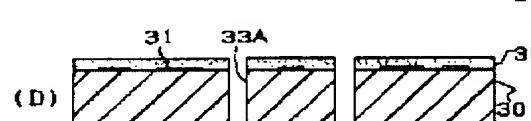
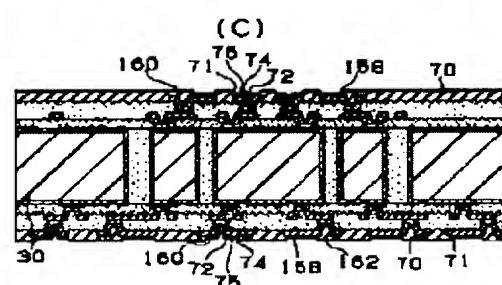
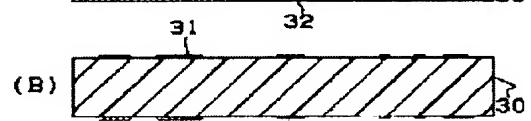
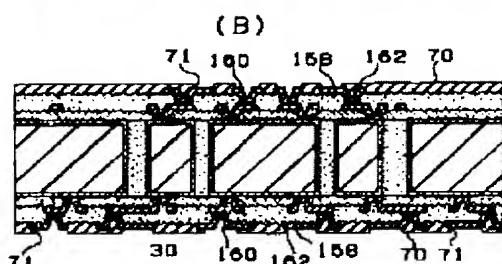
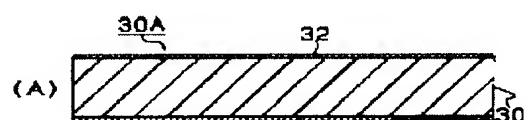
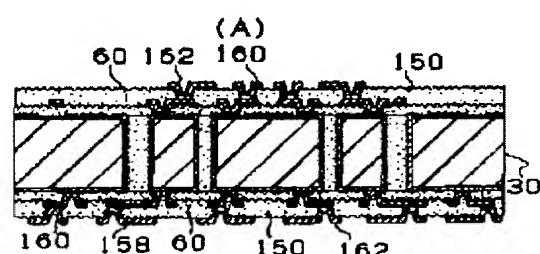
(C)



(C)



【図16】



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-168531

(P2001-168531A)

(43)公開日 平成13年6月22日 (2001.6.22)

(51)Int.Cl.⁷
H 05 K 3/46
H 01 L 23/12
H 05 K 3/00

識別記号

F I
H 05 K 3/46
3/00
H 01 L 23/12

テマコード* (参考)
N 5 E 3 4 6
N
E
N

審査請求 未請求 請求項の数6 O.L. (全18頁)

(21)出願番号

特願平11-353868

(22)出願日

平成11年12月14日 (1999.12.14)

(71)出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72)発明者 浅井 元雄

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社大垣北工場内

(72)発明者 王 東冬

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社大垣北工場内

(74)代理人 100095795

弁理士 田下 明人 (外1名)

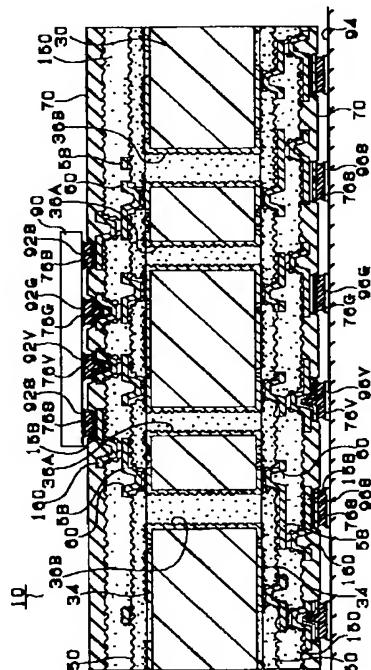
最終頁に続く

(54)【発明の名称】 多層プリント配線板及び多層プリント配線板の製造方法

(57)【要約】

【課題】 接地線及び電源線の高周波特性を改善しICチップの誤動作を防止させ得る多層プリント配線板及び該多層プリント配線板の製造方法を提供する。

【解決手段】 外周部の大径スルーホール36Bを信号線とする。中央部の小径スルーホール36Aを電源線及び接地線とすることで、多数の電源線及び接地線を配設できるとともに、ICチップ90からドータボード94までの配線長を短縮できる。このため、ICチップへの電源線及び接地線のインダクタンス分が低減し、ICチップの誤動作を防止することが可能となる。



【特許請求の範囲】

【請求項1】 上下面を接続するスルーホールを形成したコア基板に層間樹脂絶縁層と導体回路とを交互に積層してなる多層プリント配線板において前記コア基板に径の異なるスルーホールを配設したことを特徴とする多層プリント配線板。

【請求項2】 上下面を接続するスルーホールを形成したコア基板に層間樹脂絶縁層と導体回路とを交互に積層してなる多層プリント配線板において前記コア基板の中央部に小径のスルーホールを配設し、外周部に大径のスルーホールを配設したことを特徴とする多層プリント配線板。

【請求項3】 前記小径のスルーホールに、主として電源線及び接地線を配設し、前記大径のスルーホールに、主として信号線を配設したことを特徴とする請求項2の多層プリント配線板。

【請求項4】 少なくとも以下の(A)～(B)の工程を備えることを特徴とする多層プリント配線板の製造方法：

(A) コア基板にスルーホールとなる小径の通孔を形成する工程と、(B) 前記コア基板に大径のスルーホールとなる通孔を形成する工程。

【請求項5】 少なくとも以下の(A)～(B)の工程を備えることを特徴とする多層プリント配線板の製造方法：

(A) コア基板の中央部にレーザを照射し、又はドリルによりスルーホールとなる小径の通孔を形成する工程と、(B) 前記コア基板の外周部にレーザを照射し、又はドリルにより大径のスルーホールとなる通孔を形成する工程。

【請求項6】 前記小径のスルーホールに、主として電源線及び接地線を配設し、前記大径のスルーホールに、主として信号線を配設したことを特徴とする請求項5の多層プリント配線板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ICチップを載置するパッケージ基板として好適に用い得る多層プリント配線板及び当該多層プリント配線板の製造方法に関するものである。

【0002】

【従来の技術】パッケージ基板に多層ビルドアップ配線板が広く使用されている。該多層ビルドアップ配線板は、信号線、電源線及び接地線となるスルーホールを設けたコア基板に、配線を備える層間樹脂絶縁層を1層ずつビルドアップしていくことで形成されている。高周波数のICチップでは、パッケージ基板に引き回される電源線及び接地線の高周波数特性を高めインピーダンスを下げないと、電源線を介しての電力供給が追いつかなくなると共に、接地線を介してのアースレベルが変動して

誤動作の原因となる。高周波数に対応するパッケージ基板では、多数の接地線及び電源線を配置することで、インダクタンス分を並列接続したと同様な効果を得て波数特性を改善している。

【0003】スルーホールは、コア基板にドリルで通孔を穿設することにより形成されている。しかし、ドリルでは、微細なスルーホールを狭ピッチで形成することができず、現在必要とされる数の電源線及び接地線を配設することが困難になりつつある。このため、コア基板にレーザを用いて通孔を穿設することが研究されている。

【0004】

【発明が解決しようとする課題】しかしながら、内部にガラスクロス等の心材の配設され、厚さ約1mmのコア基板にレーザでスルーホールを形成するためには、1孔毎にレーザを長時間照射する必要があり、数百の通孔を穿設するためには加工時間が長くなり、製造コストが嵩む。一方、小径のスルーホールは、ヒートサイクル等に於いて断線が生じることがあり、既存のドリルによる大径のスルーホールと比較して信頼性が低かった。

【0005】本発明は、上述した課題を解決するためになされたものであり、その目的は、接地線及び電源線の高周波特性を改善し、電力供給不足に起因するICチップの誤動作を防止させ得る多層プリント配線板及び該多層プリント配線板の製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するため、請求項1は、上下面を接続するスルーホールを形成したコア基板に層間樹脂絶縁層と導体回路とを交互に積層してなる多層プリント配線板において前記コア基板に径の異なるスルーホールを配設したことを技術的特徴とする。

【0007】請求項1の発明では、コア基板に径の異なるスルーホールを配設するため、スルーホールの配線密度の自由度を高めることができる。ここで、小径のスルーホールを電源線及び接地線とすることで、多数の電源線及び接地線を配設でき、ICチップへの電源線及び接地線のインダクタンス分を低減し、ICチップの誤動作を防止することが可能となる。

【0008】請求項2は、上下面を接続するスルーホールを形成したコア基板に層間樹脂絶縁層と導体回路とを交互に積層してなる多層プリント配線板において前記コア基板の中央部に主に小径のスルーホールを配設し、外周部に主に大径のスルーホールを配設したことを技術的特徴とする。

【0009】請求項3は、請求項2において、前記小径のスルーホールに、主として電源線及び接地線を配設し、前記大径のスルーホールに、主として信号線を配設したことを技術的特徴とする。

【0010】請求項2、3の発明では、コア基板の中央部に小径のスルーホールを配設し、外周部に大径のスル

一ホールを配設するため、中央部の配線密度を高めることができる。中央部の小径のスルーホールを電源線及び接地線として、多数の電源線及び接地線を配設できるとともに、ICチップから外部基板までの配線長を短縮できる。このため、ICチップへの電源線及び接地線のインダクタンス分が低減し、ICチップの誤動作を防止することが可能となる。なお、この場合における中央部とは、ICチップの直下として置き換えることも可能である。

【0011】請求項4は、少なくとも以下の(A)～(B)の工程を備えることを特徴とする多層プリント配線板の製造方法にある：

(A) コア基板にスルーホールとなる小径の通孔を形成する工程と、(B) 前記コア基板に大径のスルーホールとなる通孔を形成する工程。

【0012】請求項4の発明では、コア基板にスルーホールとなる小径の通孔と、大径のスルーホールとなる通孔とを形成するため、廉価に配線密度の自由度の高いコア基板を構成することができる。各スルーホールの形成は、レーザ、ドリルのどちらを用いてもよい。特に、小径のスルーホールの形成にはレーザを用いることが望ましい。レーザとしては、炭酸ガス、エキシマ、YAG、UVなどを用いることができ、また、通孔を穿設したマスクを用いるエリア加工や2種類以上のレーザを用いることも可能である。

【0013】請求項5は、少なくとも以下の(A)～(B)の工程を備えることを特徴とする多層プリント配線板の製造方法にある：

(A) コア基板の中央部にレーザを照射し、又はドリルによりスルーホールとなる小径の通孔を形成する工程と、(B) 前記コア基板の外周部にレーザを照射し、又はドリルにより大径のスルーホールとなる通孔を形成する工程。

【0014】請求項6は、請求項5において、前記小径のスルーホールに、主として電源線及び接地線を配設し、前記大径のスルーホールに、主として信号線を配設したことを技術的特徴とする。

【0015】請求項4、5の発明では、コア基板の中央部に小径のスルーホールをレーザ又はドリルで形成し、外周部に大径のスルーホールをドリル又はレーザで形成するため、中央部の配線密度の自由度の高いコア基板を廉価に形成することができる。中央部の小径のスルーホールを電源線及び接地線として、多数の電源線及び接地線を配設できるとともに、ICチップから外部基板までの配線長を短縮できる。このため、ICチップへの電源線及び接地線のインダクタンス分が低減し、ICチップの誤動作を防止することが可能となる。更に、接続不良の発生する蓋然性の低い大径のスルーホールを主として信号線として用い、接続不良の発生する蓋然性の高い小径のスルーホールを主として電源線及び接地線と

して用いるため、当該電源線及び接地線側のスルーホールに断線が生じても、多層プリント配線板が正常動作を継続できる。

【0016】

【発明の実施の形態】以下、本発明の実施形態に係る多層プリント配線板及びその製造方法について図を参照して説明する。先ず、本発明の第1実施形態に係る多層プリント配線板の構成について、パッケージ基板として用いられる多層プリント配線板10の断面図を示す図7、及び、該多層プリント配線板にICチップを搭載しデータボードへ取り付けた状態を示す図8を参照して説明する。

【0017】図8に示すように多層プリント配線板10では、コア基板30の中央側に小径(100μm)のスルーホール36A、外周側に大径(300μm)のスルーホール36Bが形成され、該コア基板30の両面には導体回路34が形成されている。また、該コア基板30の上には、バイアホール60及び導体回路58の形成された下層側層間樹脂絶縁層50が配設されている。該下層側層間樹脂絶縁層50の上には、バイアホール160及び導体回路158が形成された上層側層間樹脂絶縁層150が配置されている。上層側層間樹脂絶縁層150の上には、ソルダーレジスト層70が配設されている。

【0018】多層プリント配線板10の上面には、ソルダーレジスト層70の開口に、ICチップへの接続用の半田バンプ76S、76V、76Gが配設される。一方、パッケージ基板の底面には、ソルダーレジスト層70の開口に、データボードへの接続用の半田バンプ76S、76V、76Gが配設されている。

【0019】ICチップ90には、信号用パッド92Sと、電源用パッド92Vと、接地用パッド92Gとが配設されている。信号用パッド92Sは、信号用の半田バンプ76Sを介して、層間樹脂絶縁層150のバイアホール160及び層間樹脂絶縁層50のバイアホール60を通りコア基板30の外周側の大径スルーホール36Bに接続される。そして、該大径スルーホール36Bから、下面側のバイアホール60、160を介して、信号用半田バンプ76Sからデータボード94側の信号用パッド96Sへ接続される。

【0020】一方、ICチップ90の電源用パッド92Vは、電源用の半田バンプ76V、上面のバイアホール160、60を介して、コア基板30の中央側の小径スルーホール36Aに接続される。そして、該小径スルーホール36Aから、下面側のバイアホール60、160を介して、電源用半田バンプ76Vからデータボード94側の電源用パッド96Vへ接続される。同様に、ICチップ90の接地用パッド92Gは、接地用の半田バンプ76G、上面のバイアホール160、60を介して、コア基板30の中央側の小径スルーホール36Aに接続される。そして、該小径スルーホール36Aから、下面

側のバイアホール60、160を介して、接地用半田バンプ76Gからドータボード94側の接地用パッド96Gへ接続される。

【0021】このICチップとコア基板との配線の取り回しを図9(A)に示し、コア基板30の上面を図9(B)に示す。上述した図8は、図示の便宜上、スルーホール36A、36Bの数を減らして示してあった点に注意されたい。図9(B)に示すように、コア基板30の中央部に小径スルーホール36Aが配設され、基板外周側に大径スルーホール36Bが配設される。そして、図9(A)に示すように、ICチップ90の電源パッド92V及び接地パッド92Gからの線が、コア基板30の小径スルーホール36Aに主として配設される。そして、ICチップ90の信号用パッド92Sからの線が、コア基板の大径スルーホール36Bに主として配設される。後述するように小径スルーホール36Aは、レーザにより形成され、大径スルーホール36Bは、ドリルにより形成することが望ましい。この代わりに、小径スルーホール36A及び大径スルーホール36Bと共にレーザ、又は、ドリルで形成することもできる。

【0022】本実施形態では、コア基板30の中央部に小径スルーホール36Aをレーザで形成し、外周部に大径のスルーホール36Bをドリルで形成するため、中央部の配線密度の高いコア基板を廉価に形成することができる。中央部の小径スルーホール36Aを電源線及び接地線として、多数の電源線及び接地線を配設できるとともに、ICチップ90からドータボード94までの配線長を短縮できる。このため、ICチップへの電源線及び接地線のインダクタンス分が低減し、電力を瞬時に供給し、アースレベルの変動を防ぎ、ICチップの誤動作を防止することが可能となる。更に、接続不良の発生する蓋然性の低い大径スルーホール36Bを主として信号線として用い、接続不良の発生する蓋然性の高い小径スルーホール36Aを主として電源線及び接地線として用いるため、当該電源線及び接地線側のスルーホールに断線が生じても、多層プリント配線板が正常動作を継続できる。

【0023】以下、図7及び図8に示す多層プリント配線板10の製造方法について図を参照して説明する。ここでは先ず、コア基板30及び層間樹脂絶縁層50に通孔を穿設する炭酸ガスレーザの概略構成について、図10を参照して説明する。実施態様に係るレーザ装置としては、三菱電機製のML505GTを用いる。また、CO2レーザ発信器180としては、三菱電機製のML5003D2を用いる。

【0024】レーザ発振器180から出た光は、基板上の焦点を鮮明にするための転写用マスク182を経由してガルバノヘッド170へ入射する。ガルバノヘッド170は、レーザ光をX方向にスキャンするガルバノミラー174XとY方向にスキャンするガルバノミラー174Yとの2枚で1組のガルバノミラーから構成されており、このミラー174X、174Yは制御用のモータ172X、172Yにより駆動される。モータ172X、172Yは図示しない制御装置からの制御指令に応じて、ミラー174X、174Yの角度を調整すると共に、内蔵しているエンコーダからの検出信号を該コンピュータ側へ送出するよう構成されている。

【0025】レーザ光は、ガルバノミラー174X、174Yを経由してそれぞれX-Y方向にスキャンされて10f-θレンズ176を通り、コア基板30にスルーホール用通孔33Bを形成する。コア基板30は、X-Y方向に移動するX-Yテーブル190に載置されている。

【0026】引き続き、本発明の第1実施形態に係る多層プリント配線板の製造工程について図1乃至図6を参考して説明する。この第1実施形態では、多層プリント配線板をセミアディティブ方により形成する。

【0027】(1)図1(A)に示すように厚さ0.8mmのガラスエポキシ樹脂またはBT(ビスマレイミドトリアジン)樹脂からなる基板30の両面に18μmの銅箔2032がラミネートされている銅張積層板30Aを出発材料とした。まず、この銅張積層板30AをNaOH(10g/1)、NaClO₂(40g/1)、Na₃PO₄(6g/1)を含む水溶液を黒化浴(酸化浴)とする黒化処理、および、NaOH(10g/1)、NaBH₄(6g/1)を含む水溶液を還元浴とする還元処理を行い、銅箔32の全表面に粗化面32βを形成する(図1(B)参照)。ここでは、黒化還元処理で粗化面を形成したが、後述するエッチング、又は、無電解めっきにより粗化面を設けることもできる。

【0028】(2)次に、基板30を図10を参照して上述した炭酸レーザ装置のX-Yテーブル190に載置し、波長10.4μmのCO₂ガスレーザにて、ビーム径5mm、トップハットモード、パルス幅50μ秒、10ショットの条件で、直徑100μmの通孔33Aを300μmピッチで基板30の中央に穿設する(図1(C)及び図9(B)参照)。

【0029】(3)そして、ドリル98にてコア基板30の外周部に直徑300μmの通孔33Bを600μmピッチで穿設する(図1(D)及び図9(B)参照)。

【0030】その後、無電解めっき液に浸漬して、通孔33A、33Bの側壁に銅めっき膜を析出することでスルーホール36A、36Bを形成してから(図2(A))、常法に従いパターン状にエッチングにより基板の両面に内層銅パターン(下層導体回路)34を形成する(図2(B))。

【0031】(4)下層導体回路34を形成した基板を水洗いし、乾燥した後、エッチング液を基板の両面にスプレーで吹きつけて、下層導体回路34の表面とスルーホール36A、36Bのランド36a表面と内壁とをエッティングすることにより、下層導体回路34の全表面に粗

化面34βと、スルーホール36A、36Bのランド36a及び内壁に粗化面36βを形成した(図2(C)参照)。黒化、還元処理で粗化面を形成することができる。この場合には、NaOH(10g/1)、NaClO₂(40g/1)、Na₃PO₄(6g/1)を含む水溶液を黒化浴(酸化浴)とする黒化処理、および、NaOH(10g/1)、NaBH₄(6g/1)を含む水溶液を還元浴とする還元処理を行う。

【0032】なお、第二銅錯体と有機酸塩、過酸化水素と硫酸からなるエッチング液に浸漬、あるいはスプレーすることで粗化面を形成することもできる。また、無電解めっきにより粗化面を形成することもできる。無電解めっきにより粗化面を形成する場合には、導体回路34を形成した基板30にアルカリ脱脂してソフトエッチングして、次いで、塩化パラジウムと有機酸からなる触媒溶液で処理して、Pd触媒を付与し、この触媒を活性化した後、硫酸銅3.2×10⁻²mol/l、硫酸ニッケル3.9×10⁻³mol/l、錯化剤5.4×10⁻²mol/l、次亜りん酸ナトリウム3.3×10⁻¹mol/l、ホウ酸5.0×10⁻¹mol/l、界面活性剤(日信化学工業製、サーフィール465)0.1g/l、PH=9からなる無電解めっき液に浸漬し、浸漬1分後に、4秒当たり1回に割合で縦、および、横振動させて、導体回路34及びスルーホール36のランド36a表面にCu-Ni-Pからなる針状合金の被覆層と粗化層を設ける。

【0033】(5)シクロオレフィン系樹脂あるいはエポキシ系樹脂を主成分とする樹脂充填材40を、基板の両面に印刷機を用いて塗布することにより、下層導体回路34間またはスルーホール36A、36B内に充填し、加熱乾燥を行った。即ち、この工程により、樹脂充填材40が下層導体回路34の間あるいはスルーホール36A、36B内に充填される(図2(D)参照)。

【0034】(6)上記(5)の処理を終えた基板の片面を、ベルト研磨紙(三共理化学社製)を用いたベルトサンダー研磨により、下層導体回路34の表面やスルーホール36A、36Bのランド36a表面に樹脂充填材40が残らないように研磨し、ついで、上記ベルトサンダー研磨による傷を取り除くためのバフ研磨を行った。このような一連の研磨を基板の他方の面についても同様に行つた。そして、充填した樹脂充填材40を加熱硬化させた(図3(A)参照)。

【0035】このようにして、スルーホール36等に充填された樹脂充填材40の表層部および下層導体回路34上面の粗化層34βを除去して基板両面を平滑化し、樹脂充填材40と下層導体回路34の側面とが粗化面34βを介して強固に密着し、またスルーホール36の内壁面と樹脂充填材40とが粗化面36βを介して強固に密着した配線基板を得る。

【0036】(7)次に、上記(6)の処理を終えた基板の両

面に、上記(4)で用いたエッチング液と同じエッチング液をスプレーで吹きつけ、一旦平坦化された下層導体回路34の表面とスルーホール36のランド36a表面とをエッチングすることにより、下層導体回路34の全表面に粗化面34βを、スルーホールのランド36a表面に粗化層36βを形成した(図3(B)参照)。なお、この工程ではエッチングにより粗化面を形成しているが、この代わりに、無電解めっきにより粗化層を形成することもできる。

【0037】(8)次に、上記工程を経た基板の両面に、厚さ50μmの熱硬化型シクロオレフィン系樹脂シートを温度50~150℃まで昇温しながら圧力5kg/cm²で真空圧着ラミネートし、シクロオレフィン系樹脂からなる層間樹脂絶縁層50を設ける(図3(C)参照)。なお、真空圧着時の真空度は、10mmHgに調整する。

【0038】(9)次に、波長10.4μmのCO₂ガスレーザにて、ビーム径5mm、トップハットモード、パルス幅15μ秒、マスクの穴径0.5mm、5ショットの条件でシクロオレフィン系樹脂からなる層間樹脂絶縁層50に直径80μmのバイアホール用開口48を設けた(図3(D)参照)。この後、酸素プラズマを用いてデスマニア処理を行つた。

【0039】(10)次に、日本真空技術株式会社製のSV-4540を用いてプラズマ処理を行い、層間樹脂絶縁層50の表面を粗化した(図4(A)参照)。この際、不活性ガスとしてはアルゴンガスを使用し、電力200W、ガス圧0.6Pa、温度70℃の条件で、2分間プラズマ処理を実施した。

【0040】(11)次に、同じ装置を用い、内部のアルゴンガスを交換した後、Niスパッタ後、Cuスパッタを、気圧0.6Pa、温度80℃、電力200W、時間5分間の条件で行い、Ni-Cu合金層52をポリオレフィン系層間樹脂絶縁層50の表面に形成した。このとき、形成されたNi/Cu金属層52の厚さは、Cu層(0.05μm)とCu層(0.15μm)との0.2μmであった(図4(B)参照)。

【0041】(12)上記処理を終えた基板の両面に、市販の感光性ドライフィルムを貼り付け、フォトマスクフィルムを載置して、100mJ/cm²で露光した後、0.8%炭酸ナトリウムで現像処理し、厚さ15μmのめっきレジスト54のパターンを形成した(図4(C)参照)。

【0042】(13)次に、以下の条件で電気めっきを施して、厚さ15μmの電気めっき膜56を形成した(図5(A)参照)。なお、この電気めっき膜56により、後述する工程で導体回路58となる部分の厚付けおよびバイアホール60となる部分のめっき充填等が行われたことになる。なお、電気めっき水溶液中の添加剤は、アトテックジャパン社製のカバラシドHLである。

【0043】[電気めっき水溶液]

硫酸	2.24 mol/l
硫酸銅	0.26 mol/l
添加剤	19.5 mol/l

[電気めっき条件]

電流密度	1 A/dm ²
時間	65 分
温度	22±2 °C

【0044】(14)ついで、めっきレジスト54を5%NaOHで剥離除去した後、そのめっきレジスト54の下に存在していたNi-Cu合金層52を硝酸および硫酸と過酸化水素との混合液を用いるエッチングにて溶解除去し、電気銅めっき膜56等からなる厚さ16μmの導体回路58(バイアホール60を含む)を形成した(図5(B)参照)。

【0045】(15)続いて、上記(5)～(13)の工程を繰り返すことにより、さらに上層の層間樹脂絶縁層150、導体回路158及びバイアホール160を形成した(図5(C)参照)。

【0046】(16)次に、ジエチレンギリコールジメチルエーテル(DMDG)に60重量%の濃度になるように溶解させた、クレゾールノボラック型エポキシ樹脂(日本化薬社製)のエポキシ基50%をアクリル化した感光性付与のオリゴマー(分子量:4000)46.67重量部、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂(油化シェル社製、商品名:エピコート1001)15重量部、イミダゾール硬化剤(四国化成社製、商品名:2E4MZ-CN)1.6重量部、感光性モノマーである多官能アクリルモノマー(日本化薬社製、商品名:R604)3重量部、同じく多価アクリルモノマー(共栄化学社製、商品名:DP-E6A)1.5重量部、分散系消泡剤(サンノブコ社製、商品名:S-65)0.71重量部を容器にとり、攪拌、混合して混合組成物を調製し、この混合組成物に対して光重合開始剤としてベンゾフェノン(関東化学社製)2.0重量部、光増感剤としてのミヒラーケトン(関東化学社製)0.2重量部を加えて、粘度を25°Cで2.0Pa·sに調整したソルダーレジスト組成物(有機樹脂絶縁材料)を得た。なお、粘度測定は、B型粘度計(東京計器社製、DVL-B型)で60rpmの場合はローターNo.4、6rmpmの場合はローターNo.3によった。

【0047】(17)次に、多層配線基板の両面に、上記ソルダーレジスト組成物を20μmの厚さで塗布し、70°Cで20分間、70°Cで30分間の条件で乾燥処理を行った後、ソルダーレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層に密着させて1000mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200μmの直径の開口71を形成した。そして、さらに、80°Cで1時間、100°C

で1時間、120°Cで1時間、150°Cで3時間の条件でそれぞれ加熱処理を行ってソルダーレジスト層を硬化させ、はんだパッド部分が開口した、その厚さが20μmのソルダーレジスト層(有機樹脂絶縁層)70を形成した(図6(A))。ソルダーレジストを半硬化した樹脂フィルムを張り付け、露光・現像あるいはレーザで半田パッドを開口させてもよい。

【0048】(18)次に、ソルダーレジスト層(有機樹脂絶縁層)70を形成した基板を、塩化ニッケル(2.3×10¹mol/l)、次亜リン酸ナトリウム(2.8×10¹mol/l)、クエン酸ナトリウム(1.6×10¹mol/l)を含むpH=4.5の無電解ニッケルめっき液に20分間浸漬して、開口71に厚さ5μmのニッケルめっき層72を形成した(図6(B))。さらに、その基板をシアノ化金カリウム(7.6×10³mol/l)、塩化アンモニウム(1.9×10¹mol/l)、クエン酸ナトリウム(1.2×10¹mol/l)、次亜リン酸ナトリウム(1.7×10¹mol/l)を含む無電解めっき液に80°Cの条件で7.5分間浸漬して、ニッケルめっき層72上に、厚さ0.03μmの金めっき層74を形成した。

【0049】(19)この後、ソルダーレジスト層70の開口にはんだペーストを印刷して、200°Cでリフローすることにより半田バンプ(はんだ体)76S、76V、76Gを形成し、多層プリント配線板10を完成する(図7参照)。

(20)最後に、多層プリント配線板10の半田バンプ76S、76V、76Gにパッド92S、92V、92Gに対応するようICチップ90を載置し、リフローを行うことでICチップ90を取り付ける。そして、当該パッケージ基板10をドータボード94に載置し、リフローを行うことで当該ドータボードへ載置する(図8)。

【0050】引き続き、本発明の第2実施形態に係る多層プリント配線板及びその製造方法について説明する。図17は、パッケージ基板に適用した第2実施形態に係る多層プリント配線板の断面を示している。この第2実施形態の多層プリント配線板110は、図7を参照して上述した第1実施形態と同様である。但し、第1実施形態では、多層プリント配線板の下面に半田バンプ76S、76V、76Gが配設されたが、この第2実施形態では、導電性接続ピン78が配設されている。

【0051】引き続き、第2実施形態の多層プリント配線板の製造方法について説明する。ここではまず、A. 層間樹脂絶縁層用樹脂フィルムの作製、及び、B. 樹脂充填材の調製について説明する。

A. 層間樹脂絶縁層用樹脂フィルムの作製
ビスフェノールA型エポキシ樹脂(エポキシ当量46.9、油化シェルエポキシ社製エピコート1001)30重量部、クレゾールノボラック型エポキシ樹脂(エポキシ当量215、大日本インキ化学工業社製エピクロン

N-673) 40重量部、トリアジン構造含有フェノールノボラック樹脂(フェノール性水酸基当量120、大日本インキ化学工業社製 フェノライトKA-705) 2) 30重量部をエチルジグリコールアセテート20重量部、ソルベントナフサ20重量部に攪拌しながら加熱溶解させ、そこへ末端エポキシ化ポリブタジエンゴム(ナガセ化成工業社製 デナレックスR-45EPT) 15重量部と2-フェニル-4、5-ビス(ヒドロキシメチル)イミダゾール粉碎品1.5重量部、微粉碎シリカ2重量部、シリコン系消泡剤0.5重量部を添加しエポキシ樹脂組成物を調製した。得られたエポキシ樹脂組成物を厚さ38μmのPETフィルム上に乾燥後の厚さが50μmとなるようにロールコーテーを用いて塗布した後、80~120℃で10分間乾燥させることにより、層間樹脂絶縁層用樹脂フィルムを作製した。

【0052】B. 樹脂充填材の調製

ビスフェノールF型エポキシモノマー(油化シェル社製、分子量:310、YL983U)100重量部、表面にシランカップリング剤がコーティングされた平均粒径が1.6μmで、最大粒子の直径が15μm以下のSiO₂球状粒子(アドテック社製、CRS-1101-CE)170重量部およびレベリング剤(サンノプロ社製ペレノールS4)1.5重量部を容器にとり、攪拌混合することにより、その粘度が23±1℃で45~49Pa·sの樹脂充填材を調製した。なお、硬化剤として、イミダゾール硬化剤(四国化成社製、2E4MZ-CN)6.5重量部を用いた。

【0053】多層プリント配線板の製造方法

(1) 厚さ0.8mmのガラスエポキシ樹脂またはBT(ビスマレイミドトリアジン)樹脂からなる基板30の両面に18μmの銅箔32がラミネートされている銅張積層板30Aを出発材料とした(図11(A)参照)。まず、この銅張積層板30AをNaOH(10g/1)、NaClO₂(40g/1)、Na₃PO₄(6g/1)を含む水溶液を黒化浴(酸化浴)とする黒化処理、および、NaOH(10g/1)、NaBH₄(6g/1)を含む水溶液を還元浴とする還元処理を行い、銅箔32の全表面に粗化面32βを形成した(図11(B)参照)。

【0054】(2)次に、基板30を図10を参照して上述した炭酸レーザ装置のテーブルに載置し、炭酸ガスレーザを照射することで、直径100μmの通孔33Aを300μmピッチで基板30の中央に穿設する(図11(C)及び図9(B)参照)。

【0055】(3)そして、ドリル98にてコア基板30の外周部に直径300μmの通孔33Bを600μmピッチで穿設する(図11(D)及び図9(B)参照)。その後、無電解めっき液に浸漬して、通孔33A、33Bの側壁に銅めっき膜を析出することでスルーホール36A、36Bを形成してから(図12(A))、常法に

従いパターン状にエッティングにより基板の両面に内層銅パターン(下層導体回路)34を形成した(図12(B))。

【0056】(4)下層導体回路34を形成した基板を水洗いし、乾燥した後、エッティング液を基板の両面にスプレイで吹きつけて、下層導体回路34の表面とスルーホール36A、36Bのランド36a表面と内壁とをエッティングすることにより、下層導体回路34の全表面に粗化面34βを、スルーホール36A、36Bのランド36a表面及び内壁に粗化層36βを形成した(図12(C)参照)。エッティング液として、イミダゾール銅(II)錯体10重量部、グリコール酸7重量部、塩化カリウム5重量部およびイオン交換水78重量部を混合したものを使用した。

【0057】(5)上記Bにて記載した樹脂充填材を整調した後、下記の方法により調整後24時間以内に、スルーホール36A、36B、及び、基板30の片面の導体回路非形成部と導体回路34の外縁部とに樹脂充填材40の層を形成した(図12(D)参照)。すなわち、まず、スキージを用いてスルーホール36A、36B内に樹脂充填材40を押し込んだ後、100℃、20分の条件で乾燥させた。次に、導体回路非形成部に相当する部分が開口したマスクを基板上に載置し、スキージを用いて凹部となっている導体回路非形成部に樹脂充填材40の層を形成し、100℃、20分の条件で乾燥させた。

【0058】(6)上記(5)の処理を終えた基板の片面を、#600のベルト研磨紙(三共理化学製)を用いたベルトサンダー研磨により、内層銅パターン4の表面やスルーホール36A、36Bのランド36a表面に樹脂充填材40が残らないように研磨し、次いで、上記ベルトサンダー研磨による傷を取り除くためのバフ研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った。次いで、100℃で1時間、150℃で1時間の加熱処理を行って樹脂充填材40を硬化した。

【0059】このようにして、スルーホール36A、36Bや導体回路非形成部に形成された樹脂充填材40の表層部および下層導体回路34の表面を平坦化し、樹脂充填材40と下層導体回路34の側面とが粗化面34βを介して強固に密着し、またスルーホール36A、36Bの内壁面と樹脂充填材40とが粗化面36βを介して強固に密着した絶縁性基板を得た(図13(A)参照)。すなわち、この工程により、樹脂充填材40の表面と下層導体回路34の表面とが同一平面となる。

【0060】(7)上記基板を水洗、酸性脱脂した後、ソフトエッティングし、次いで、エッティング液を基板の両面にスプレイで吹きつけて、下層導体回路34の表面とスルーホール36A、36Bのランド36a表面と内壁とをエッティングすることにより、下層導体回路34の全表面に粗化面34βを、スルーホールのランド36a表面

に粗化層36βを形成した(図13(B)参照)。エッチング液としては、イミダゾール銅(I I)錯体10重量部、グリコール酸7重量部、塩化カリウム5重量部からなるエッチング液(メック社製、メックエッチボンド)を使用した。

【0061】(8)基板の両面に、上記Aで作製した基板より少し大きめの層間樹脂絶縁層用樹脂フィルムを基板上に載置し、圧力4kgf/cm²、温度80℃、圧着時間10秒の条件で仮圧着して裁断した後、さらに、以下の方法により真空ラミネーター装置を用いて貼り付けることにより層間樹脂絶縁層50を形成した(図13(C)参照)。すなわち、層間樹脂絶縁層用樹脂フィルムを基板上に、真空中度0.5Torr、圧力4kgf/cm²、温度80℃、圧着時間60秒の条件で本圧着し、その後、170℃で30分間熱硬化させた。

【0062】(9)層間樹脂絶縁層50上に、厚さ1.2mmの貫通孔49aが形成されたマスク49を載置する。そして、波長10.4μmのCO₂ガスレーザにて、ビーム径4.0mm、トップハットモード、パルス幅5.0μ秒、マスクの貫通孔の径1.0mm、1ショットの条件で、層間樹脂絶縁層50に直径80μmのバイアホール用開口48を形成した(図13(D)参照)。

【0063】(10)バイアホール用開口48を形成した基板30を、60g/lの過マンガン酸を含む80℃の溶液に10分間浸漬し、層間樹脂絶縁層50の表面に存在するエポキシ樹脂粒子を溶解除去することにより、バイアホール用開口48の内壁を含む層間樹脂絶縁層50の表面を粗面とした(図14(A)参照)。

【0064】(11)次に、上記処理を終えた基板を、中和溶液(シプレイ社製)に浸漬してから水洗いした。さらに、粗面化処理(粗化深さ3μm)した該基板の表面に、パラジウム触媒を付与することにより、層間樹脂絶縁層50の表面およびバイアホール用開口48の内壁面に触媒核を付着させた。

【0065】(12)次に、以下の組成の無電解銅めっき水溶液中に基板を浸漬して、粗面全体に厚さ0.6~3.0μmの無電解銅めっき膜51を形成した(図14(B)参照)。

〔無電解めっき水溶液〕

NiSO ₄	0.003 mol/l
酒石酸	0.200 mol/l
硫酸銅	0.030 mol/l
HCHO	0.050 mol/l
NaOH	0.100 mol/l
α、α' -ビピリジル	40 mg/l
ポリエチレングリコール(PEG)	0.10 g/l

〔無電解めっき条件〕

35℃の液温度で40分

【0066】(13)市販の感光性ドライフィルムを無電解

銅めっき膜51に貼り付け、マスクを載置して、100mJ/cm²で露光し、0.8%炭酸ナトリウム水溶液で現像処理することにより、厚さ30μmのめっきレジスト54を設けた(図14(C)参照)。

【0067】(14)ついで、基板を50℃の水で洗浄して脱脂し、25℃の水で水洗後、さらに硫酸で洗浄してから、以下の条件で電解銅めっきを施し、厚さ20μmの電解銅めっき膜56を形成した(図15(A)参照)。

〔電解めっき水溶液〕

10	硫酸	2.24 mol/l
	硫酸銅	0.26 mol/l
	添加剤	19.5 ml/l (アトテックジャパン社製、カバラシドHL)

〔電解めっき条件〕

電流密度	1 A/dm ²
時間	65分
温度	22±2℃

【0068】(15)めっきレジスト54を5%NaOHで剥離除去した後、そのめっきレジスト54下の無電解めっき膜51を硫酸と過酸化水素の混合液でエッチング処理して溶解除去し、無電解銅めっき膜51と電解銅めっき膜56からなる厚さ18μmの導体回路(バイアホール60を含む)58を形成した(図15(B)参照)。

【0069】(16)(7)と同様の処理を行い、第二銅錯体と有機酸とを含有するエッチング液によって、粗化面62を形成した(図15(C)参照)。

【0070】(17)上記(8)~(16)の工程を繰り返すことにより、さらに上層の層間樹脂絶縁層160、導体回路158及びバイアホール160を形成し、多層配線板を得た(図16(A)参照)。

【0071】(18)次に、多層配線基板の両面に、第1実施形態と同様のソルダーレジスト組成物を20μmの厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後、ソルダーレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層に密着させて1000mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200μmの直径の開口71を形成した。そしてさらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件でそれぞれ加熱処理を行ってソルダーレジスト層を硬化させ、開口を有し、その厚さが20μmのソルダーレジストパターン層70を形成した(図16(B))。上記ソルダーレジスト組成物としては、市販のソルダーレジスト組成物やソルダーレジストの樹脂フィルムを使用することもできる。

【0072】(19)次に、ソルダーレジスト層70を形成した基板を、塩化ニッケル(2.3×10⁻¹mol/l)、次亜リン酸ナトリウム(2.8×10⁻¹mol/l)、クエン酸ナトリウム(1.6×10⁻¹mol/l)を含むpH=4.5の無電解ニッケルめっき液に2

0分間浸漬して、開口7 1に厚さ5 μm のニッケルめっき層7 2を形成した。さらに、その基板をシアノ化金カリウム(7.6×10^{-3} mol/l)、塩化アンモニウム(1.9×10^{-1} mol/l)、クエン酸ナトリウム(1.2×10^{-1} mol/l)、次亜リン酸ナトリウム(1.7×10^{-1} mol/l)を含む無電解金めっき液に80°Cの条件で7.5分間浸漬して、ニッケルめっき層7 2上に、厚さ0.03 μm の金めっき層7 4を形成した(図16(C))。

【0073】(20)この後、基板のICチップを載置する面のソルダーレジスト層7 0の開口に、スズ一鉛を含有するはんだペーストを印刷し、さらに他方の面のソルダーレジスト層7 0の開口にスズーアンチモンを含有するはんだペーストを印刷した後、200°Cでリフローすることにより上面にはんだバンプ7 6 S、7 6 V、7 6 Gを設けた。そして、下面に導電性接続ピン7 8を配設し、プリント基板1 1 0を製造した(図17参照)。

【0074】引き続き、本発明の第3実施形態について説明する。上述した第1、第2実施形態では、銅貼り積層板に貫通孔3 3 A、3 3 Bを穿設した。これに対して、第3実施形態では、銅貼り積層板に樹脂層を形成した後、貫通孔3 3 A、3 4 Bを形成する。

【0075】この第3実施形態のコア基板の形成方法について、図18を参照して説明する。

(1) 厚さ0.8 mmのガラスエポキシ樹脂、BT、FR-4、FR-5樹脂からなる基板3 0の両面に18 μm の銅箔3 2がラミネートされている銅張積層板3 0 Aを出発材料とした(図18(A)参照)。常法に従いパターン状にエッチングして基板の両面に内層銅パターン(下層導体回路)3 1を形成した(図18(B))。

【0076】(2)次に、基板3 0の両面に後述するABF樹脂絶縁フィルムを張り付け、樹脂層3 5を形成する(図18(C))。(3)基板3 0を第1実施形態と同様な炭酸レーザ装置のテーブルに載置し、炭酸ガスレーザを照射することで、直径100 μm の通孔3 3 Aを300 μm ピッチで基板3 0の中央に穿設する(図18(D)参照)。

【0077】(3)そして、ドリル9 8にてコア基板3 0の外周部に直径300 μm の通孔3 3 Bを600 μm ピッチで穿設する(図18(E)参照)。

(4)その後、無電解めっき液に浸漬して、通孔3 3 A、3 3 Bの側壁に銅めっき膜を析出することでスルーホール3 6 A、3 6 Bを形成してから、エッチングを行い導体回路3 4を形成する(図18(F)参照)。以降の工程は上述した第1、第2実施形態と同様であるため、図示及び説明を省略する。

【0078】なお、上記ABF樹脂フィルムとしては、難溶性樹脂、可溶性粒子、硬化剤、その他の成分が含有されている。それについて以下に説明する。

【0079】本発明の製造方法において使用する樹脂フ

ィルムは、酸または酸化剤に可溶性の粒子(以下、可溶性粒子という)が酸または酸化剤に難溶性の樹脂(以下、難溶性樹脂という)中に分散したものである。なお、本発明で使用する「難溶性」「可溶性」という語は、同一の酸または酸化剤からなる溶液に同一時間浸漬した場合に、相対的に溶解速度の早いものを便宜上「可溶性」と呼び、相対的に溶解速度の遅いものを便宜上「難溶性」と呼ぶ。

【0080】上記可溶性粒子としては、例えば、酸または酸化剤に可溶性の樹脂粒子(以下、可溶性樹脂粒子)、酸または酸化剤に可溶性の無機粒子(以下、可溶性無機粒子)、酸または酸化剤に可溶性の金属粒子(以下、可溶性金属粒子)等が挙げられる。これらの可溶性粒子は、単独で用いても良いし、2種以上併用してもよい。

【0081】上記可溶性粒子の形状は特に限定されず、球状、破碎状等が挙げられる。また、上記可溶性粒子の形状は、一様な形状であることが望ましい。均一な粗さの凹凸を有する粗化面を形成することができるからである。

【0082】上記可溶性粒子の平均粒径としては、0.1~10 μm が望ましい。この粒径の範囲であれば、2種類以上の異なる粒径のものを含有してもよい。すなわち、平均粒径が0.1~0.5 μm の可溶性粒子と平均粒径が1~3 μm の可溶性粒子とを含有する等である。これにより、より複雑な粗化面を形成することができ、導体回路との密着性にも優れる。なお、本発明において、可溶性粒子の粒径とは、可溶性粒子の一番長い部分の長さである。

【0083】上記可溶性樹脂粒子としては、熱硬化性樹脂、熱可塑性樹脂等からなるものが挙げられ、酸あるいは酸化剤からなる溶液に浸漬した場合に、上記難溶性樹脂よりも溶解速度が速いものであれば特に限定されない。上記可溶性樹脂粒子の具体例としては、例えば、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリフェニレン樹脂、ポリオレフィン樹脂、フッ素樹脂等からなるものが挙げられ、これらの樹脂の一種からなるものであってもよいし、2種以上の樹脂の混合物からなるものであってもよい。

【0084】また、上記可溶性樹脂粒子としては、ゴムからなる樹脂粒子を用いることができる。上記ゴムとしては、例えば、ポリブタジエンゴム、エポキシ変性、ウレタン変性、(メタ)アクリロニトリル変性等の各種変性ポリブタジエンゴム、カルボキシル基を含有した(メタ)アクリロニトリル・ブタジエンゴム等が挙げられる。これらのゴムを使用することにより、可溶性樹脂粒子が酸あるいは酸化剤に溶解しやすくなる。つまり、酸を用いて可溶性樹脂粒子を溶解する際には、強酸以外の酸でも溶解することができ、酸化剤を用いて可溶性樹脂粒子を溶解する際には、比較的酸化力の弱い過マンガン

酸塩でも溶解することができる。また、クロム酸を用いた場合でも、低濃度で溶解することができる。そのため、酸や酸化剤が樹脂表面に残留することなく、後述するように、粗化面形成後、塩化パラジウム等の触媒を付与する際に、触媒が付与されたかたり、触媒が酸化されたりするがない。

【0085】上記可溶性無機粒子としては、例えば、アルミニウム化合物、カルシウム化合物、カリウム化合物、マグネシウム化合物およびケイ素化合物からなる群より選択される少なくとも一種からなる粒子等が挙げられる。

【0086】上記アルミニウム化合物としては、例えば、アルミナ、水酸化アルミニウム等が挙げられ、上記カルシウム化合物としては、例えば、炭酸カルシウム、水酸化カルシウム等が挙げられ、上記カリウム化合物としては、炭酸カリウム等が挙げられ、上記マグネシウム化合物としては、マグネシア、ドロマイド、塩基性炭酸マグネシウム等が挙げられ、上記ケイ素化合物としては、シリカ、ゼオライト等が挙げられる。これらは単独で用いても良いし、2種以上併用してもよい。

【0087】上記可溶性金属粒子としては、例えば、銅、ニッケル、鉄、亜鉛、鉛、金、銀、アルミニウム、マグネシウム、カルシウムおよびケイ素からなる群より選択される少なくとも一種からなる粒子等が挙げられる。また、これらの可溶性金属粒子は、絶縁性を確保するために、表層が樹脂等により被覆されていてもよい。

【0088】上記可溶性粒子を、2種以上混合して用いる場合、混合する2種の可溶性粒子の組み合わせとしては、樹脂粒子と無機粒子との組み合わせが望ましい。両者とも導電性が低くいため樹脂フィルムの絶縁性を確保することができるとともに、難溶性樹脂との間で熱膨張の調整が図りやすく、樹脂フィルムからなる層間樹脂絶縁層にクラックが発生せず、層間樹脂絶縁層と導体回路との間で剥離が発生しないからである。

【0089】上記難溶性樹脂としては、層間樹脂絶縁層に酸または酸化剤を用いて粗化面を形成する際に、粗化面の形状を保持できるものであれば特に限定されず、例えば、熱硬化性樹脂、熱可塑性樹脂、これらの複合体等が挙げられる。また、これらの樹脂に感光性を付与した感光性樹脂であってもよい。感光性樹脂を用いることにより、層間樹脂絶縁層に露光、現像処理を用いてバイアホール用開口を形成することできる。これらのなかでは、熱硬化性樹脂を含有しているものが望ましい。それにより、めっき液あるいは種々の加熱処理によっても粗化面の形状を保持することができるからである。

【0090】上記難溶性樹脂の具体例としては、例えば、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリフェニレン樹脂、ポリオレフィン樹脂、フッ素樹脂等が挙げられる。これらの樹脂は単独で用いてもよいし、2種以上を併用してもよい。さらには、1分子中

に、2個以上のエポキシ基を有するエポキシ樹脂がより望ましい。前述の粗化面を形成することができるばかりでなく、耐熱性等にも優れてるため、ヒートサイクル条件下においても、金属層に応力の集中が発生せず、金属層の剥離などが起きにくいからである。

【0091】上記エポキシ樹脂としては、例えば、クレゾールノボラック型エポキシ樹脂、ビスフェノールA型エポキシ樹脂、ビスフェノールF型エポキシ樹脂、フェノールノボラック型エポキシ樹脂、アルキルフェノールノボラック型エポキシ樹脂、ビフェノールF型エポキシ樹脂、ナフタレン型エポキシ樹脂、ジシクロペンタジエン型エポキシ樹脂、フェノール類とフェノール性水酸基を有する芳香族アルデヒドとの縮合物のエポキシ化物、トリグリジルイソシアヌレート、脂環式エポキシ樹脂等が挙げられる。これらは、単独で用いてもよく、2種以上を併用してもよい。それにより、耐熱性等に優れるものとなる。

【0092】本発明で用いる樹脂フィルムにおいて、上記可溶性粒子は、上記難溶性樹脂中にほぼ均一に分散されていることが望ましい。均一な粗さの凹凸を有する粗化面を形成することができ、樹脂フィルムにバイアホールやスルーホールを形成しても、その上に形成する導体回路の金属層の密着性を確保することができるからである。また、粗化面を形成する表層部だけに可溶性粒子を含有する樹脂フィルムを用いてもよい。それによって、樹脂フィルムの表層部以外は酸または酸化剤にさらされることはないとため、層間樹脂絶縁層を介した導体回路間の絶縁性が確実に保たれる。

【0093】上記樹脂フィルムにおいて、難溶性樹脂中に分散している可溶性粒子の配合量は、樹脂フィルムに対して、3～40重量%が望ましい。可溶性粒子の配合量が3重量%未満では、所望の凹凸を有する粗化面を形成することができない場合があり、40重量%を超えると、酸または酸化剤を用いて可溶性粒子を溶解した際に、樹脂フィルムの深部まで溶解してしまい、樹脂フィルムからなる層間樹脂絶縁層を介した導体回路間の絶縁性を維持できず、短絡の原因となる場合がある。

【0094】上記樹脂フィルムは、上記可溶性粒子、上記難溶性樹脂以外に、硬化剤、その他の成分等を含有していることが望ましい。上記硬化剤としては、例えば、イミダゾール系硬化剤、アミン系硬化剤、グアニジン系硬化剤、これらの硬化剤のエポキシアダクトやこれらの硬化剤をマイクロカプセル化したもの、トリフェニルホスフィン、テトラフェニルホスフォニウム・テトラフェニルボレート等の有機ホスフィン系化合物等が挙げられる。

【0095】上記硬化剤の含有量は、樹脂フィルムに対して0.05～10重量%であることが望ましい。0.05重量%未満では、樹脂フィルムの硬化が不十分であるため、酸や酸化剤が樹脂フィルムに侵入する度合いが

大きくなり、樹脂フィルムの絶縁性が損なわれることがある。一方、10重量%を超えると、過剰な硬化剤成分が樹脂の組成を変性せることがあり、信頼性の低下を招いたりしてしまうことがある。

【0096】上記その他の成分としては、例えば、粗化面の形成に影響しない無機化合物あるいは樹脂等のフィラーが挙げられる。上記無機化合物としては、例えば、シリカ、アルミナ、ドロマイド等が挙げられ、上記樹脂としては、例えば、ポリイミド樹脂、ポリアクリル樹脂、ポリアミドイミド樹脂、ポリフェニレン樹脂、メラニン樹脂、オレフィン系樹脂等が挙げられる。これらのフィラーを含有させることによって、熱膨脹係数の整合や耐熱性、耐薬品性の向上などを図りプリント配線板の性能を向上させることができる。

【0097】また、上記樹脂フィルムは、溶剤を含有していてもよい。上記溶剤としては、例えば、アセトン、メチルエチルケトン、シクロヘキサン等のケトン類、酢酸エチル、酢酸ブチル、セロソルブアセテートやトルエン、キシレン等の芳香族炭化水素等が挙げられる。これらは単独で用いてもよいし、2種類以上併用してもよい。

【0098】なお、上述した実施形態では、中央部に小径のスルーホールを配設し、外周部に大径スルーホールを配設したが、本発明は、これに限定されず、配線密度を高める必要がある箇所に小径のスルーホールを適宜配設することができる。

【0099】[比較例1]コア基板のスルーホールをレーザにより全て径100μmで形成した以外には第1実施形態と同様である。

[比較例2]コア基板のスルーホールをドリルにより全て径300μmで形成した以外には第1実施形態と同様である。

[比較例3]コア基板のスルーホールをレーザにより全て径100μmで形成した以外には第2実施形態と同様である。

[比較例4]コア基板のスルーホールをドリルにより全て径300μmで形成した以外には第2実施形態と同様である。

【0100】1GHzの高周波数ICチップをそれぞれ第1、第2、第3実施形態の多層プリント配線板、及び、比較例1、2、3、4の多層プリント配線板に実装し、比較試験を行った。その結果、比較例2、4では、ICチップのエラーが頻繁に発生した。これは、電源線及びアース線の数が少ないため、電源の供給が追いつかなくなっていることによるものと推測される。これに対して、第1、第2、第3実施形態の多層プリント配線板、比較例1、3は安定した動作を提供できた。但し、比較例1、3の多層プリント配線板は、全てのスルーホールをレーザで形成するため、第1～第3実施形態の多層プリント配線板に対して、製造コストが非常に高くな

っているし、スルーホールの断線する確率が高くなる。

【図面の簡単な説明】

【図1】図1(A)、(B)、(C)、(D)は、本発明の第1実施形態に係る多層プリント配線板の製造工程図である。

【図2】図2(A)、(B)、(C)、(D)は、本発明の第1実施形態に係る多層プリント配線板の製造工程図である。

【図3】図3(A)、(B)、(C)、(D)は、本発明の第1実施形態に係る多層プリント配線板の製造工程図である。

【図4】図4(A)、(B)、(C)は、本発明の第1実施形態に係る多層プリント配線板の製造工程図である。

【図5】図5(A)、(B)、(C)は、本発明の第1実施形態に係る多層プリント配線板の製造工程図である。

【図6】図6(A)、(B)は、本発明の第1実施形態に係る多層プリント配線板の製造工程図である。

【図7】本発明の第1実施形態に係る多層プリント配線板の断面図である。

【図8】本発明の第1実施形態に係る多層プリント配線板の断面図である。

【図9】図9(A)は、コア基板内の配線取り回しを示す説明図であり、図9(B)は、コア基板の平面図である。

【図10】開口を形成する炭酸ガスレーザ装置の説明図である。

【図11】図11(A)、(B)、(C)、(D)は、本発明の第2実施形態に係る多層プリント配線板の製造工程図である。

【図12】図12(A)、(B)、(C)、(D)は、本発明の第2実施形態に係る多層プリント配線板の製造工程図である。

【図13】図13(A)、(B)、(C)は、本発明の第2実施形態に係る多層プリント配線板の製造工程図である。

【図14】図14(A)、(B)、(C)は、本発明の第2実施形態に係る多層プリント配線板の製造工程図である。

【図15】図15(A)、(B)、(C)は、本発明の第2実施形態に係る多層プリント配線板の製造工程図である。

【図16】図16(A)、(B)、(C)は、本発明の第2実施形態に係る多層プリント配線板の製造工程図である。

【図17】本発明の第2実施形態に係る多層プリント配線板の断面図である。

【図18】本発明の第3実施形態に係る多層プリント配線板のコア基板の断面図である。

【符号の説明】

30 コア基板
 33A、33B 通孔
 34 導体回路
 36A 小径バイアホール
 36B 大径スルーホール
 40 樹脂充填材
 50 層間樹脂絶縁層

* 58 導体回路

60 バイアホール

70 ソルダーレジスト層

76S、76V、76G 半田バンプ

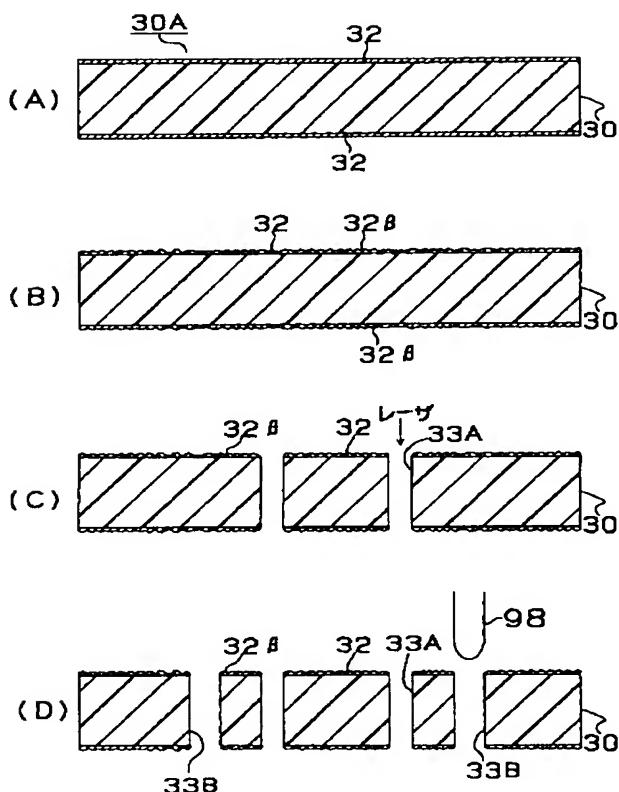
150 層間樹脂絶縁層

158 導体回路

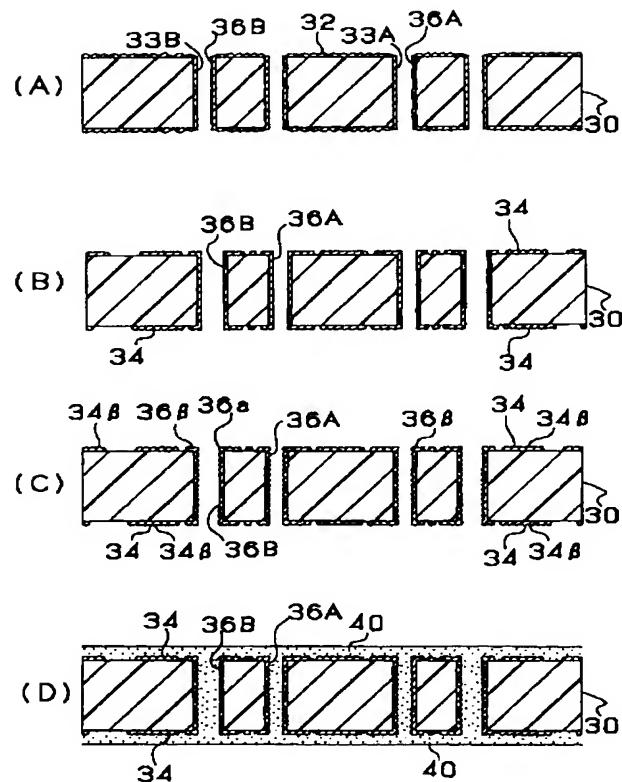
160 バイアホール

*

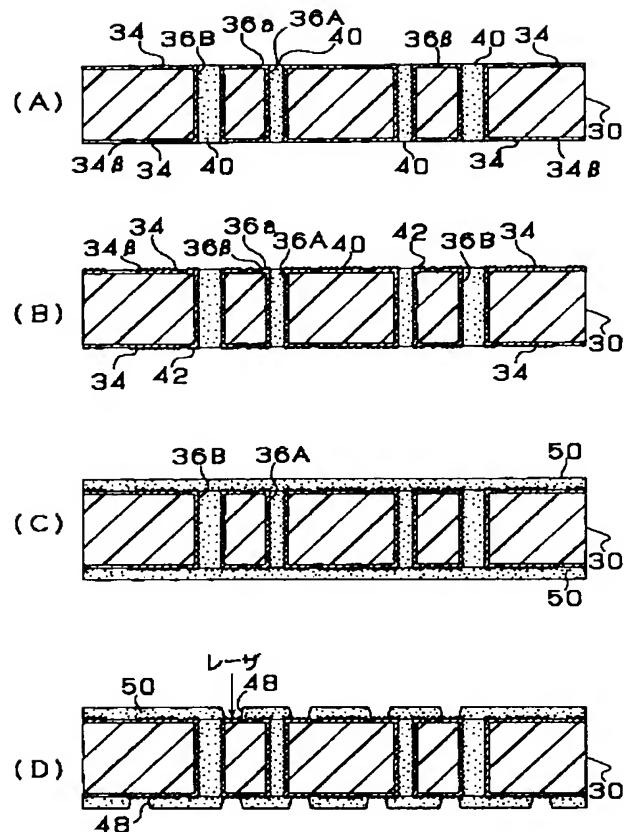
【図1】



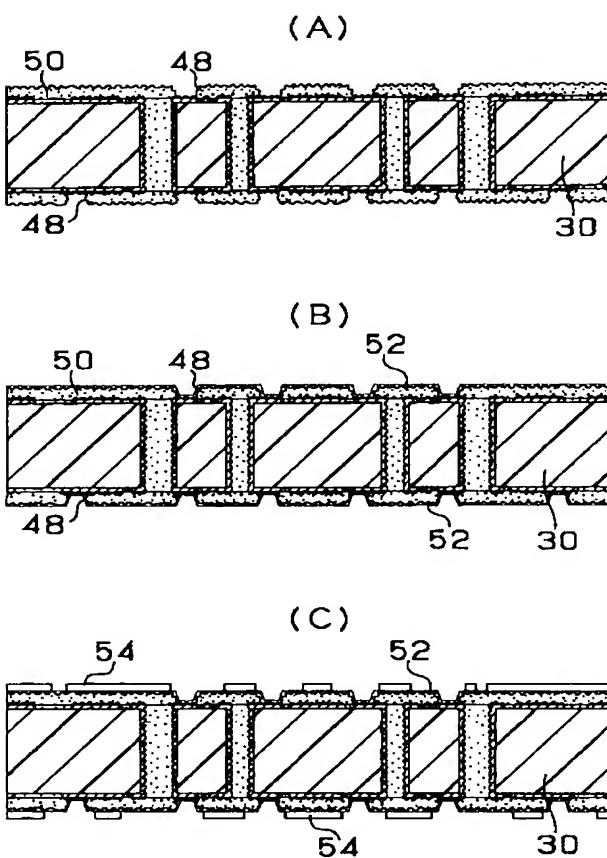
【図2】



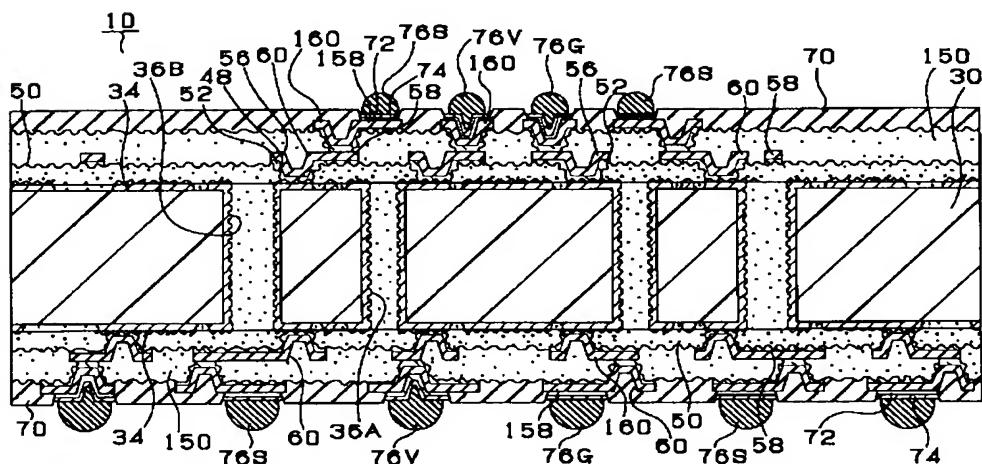
【図3】



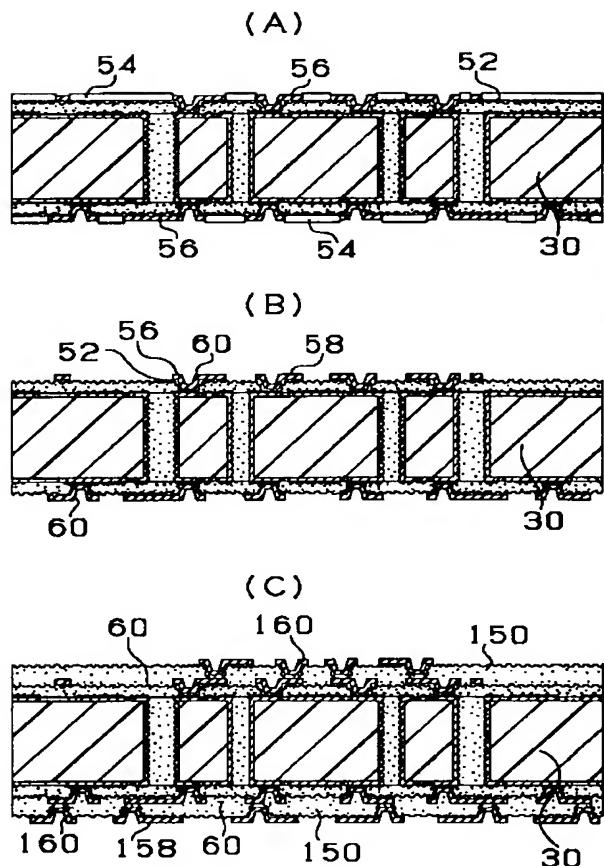
【図4】



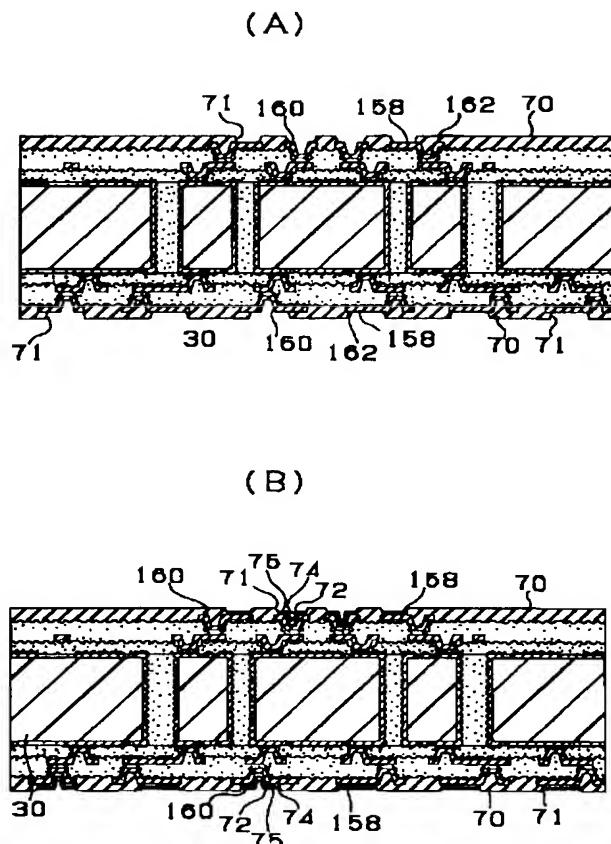
【図7】



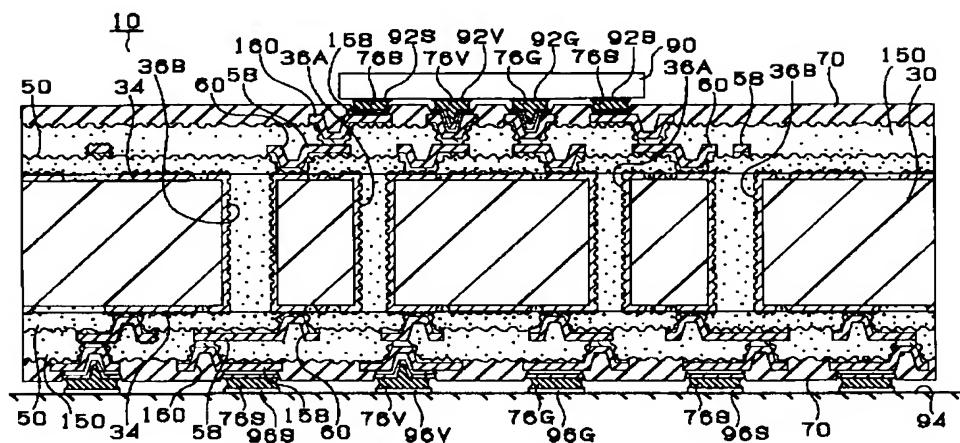
【図5】



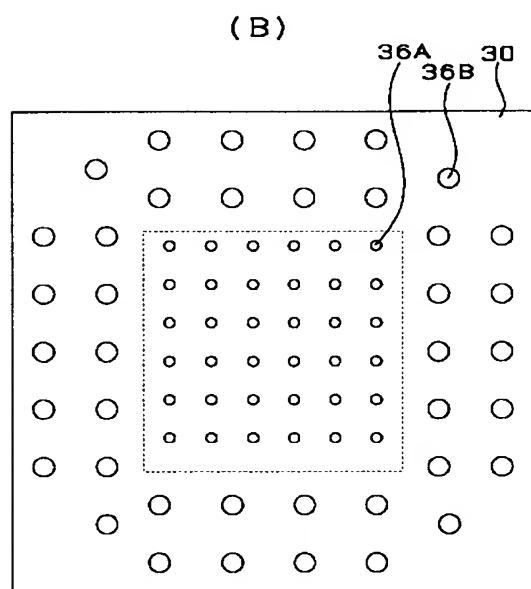
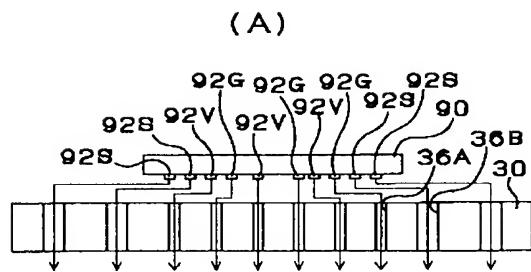
【図6】



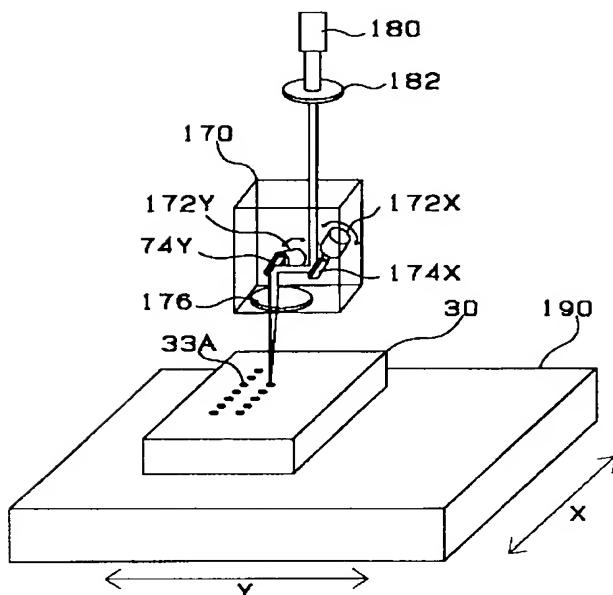
【図8】



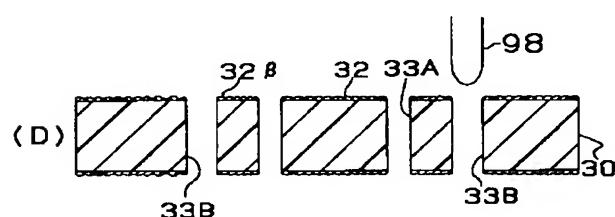
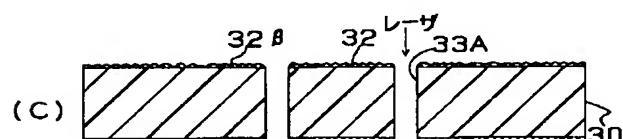
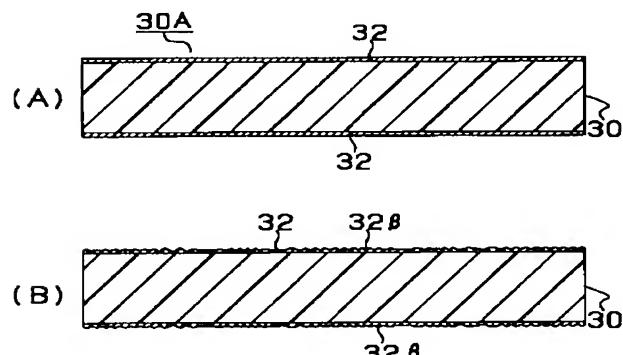
【図9】



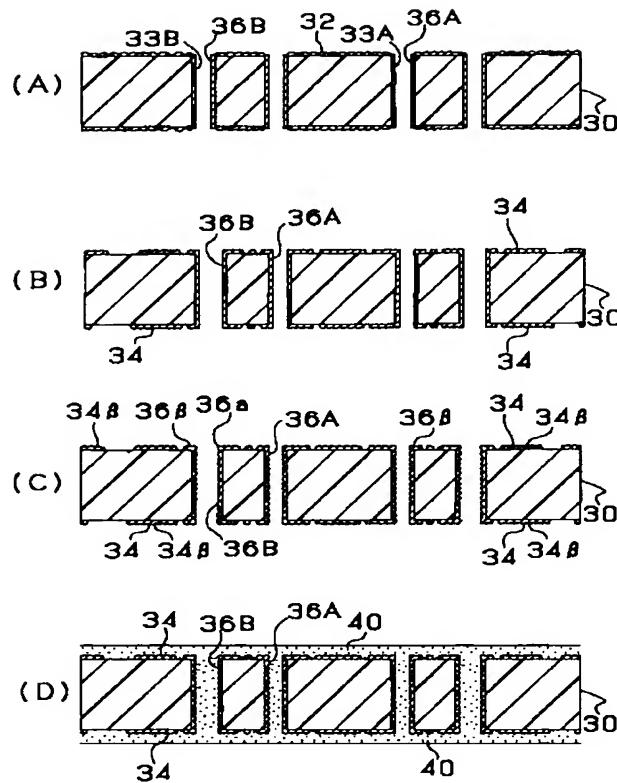
【図10】



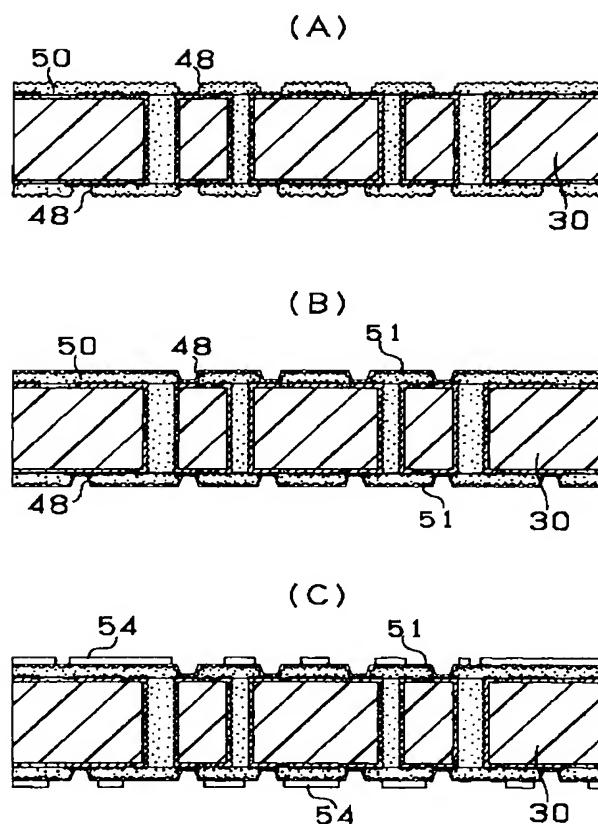
【図11】



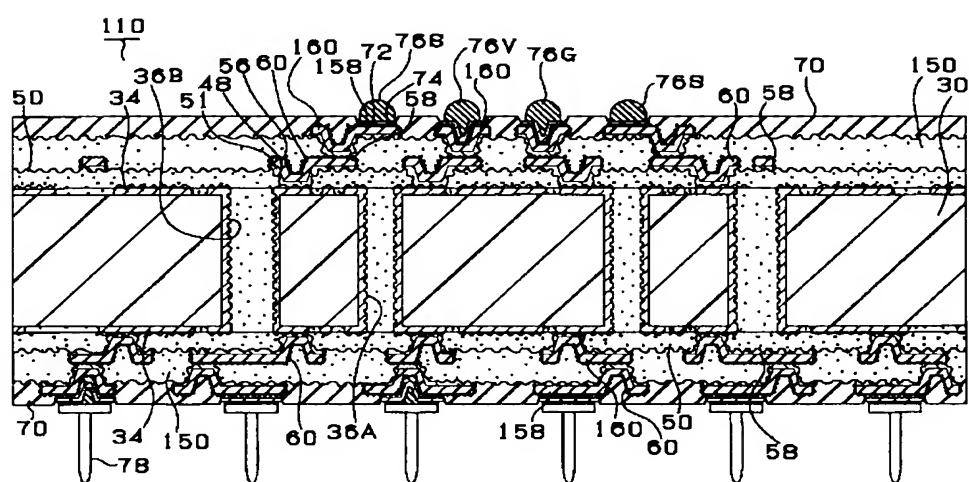
【図12】



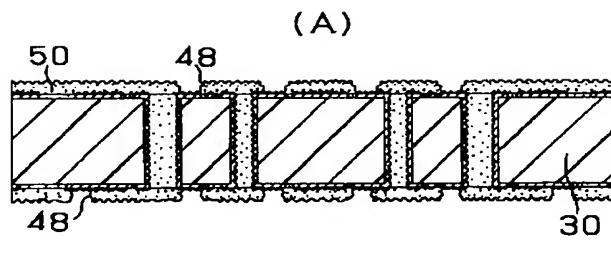
【図13】



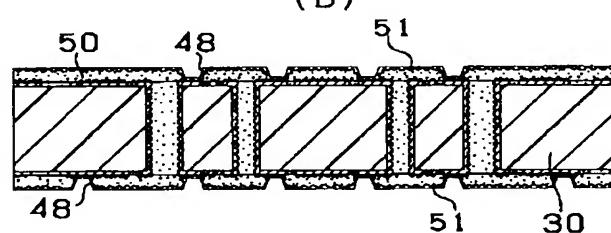
【図17】



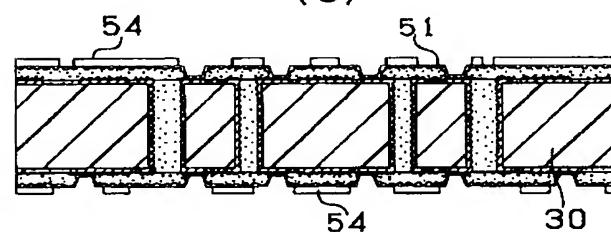
【図14】



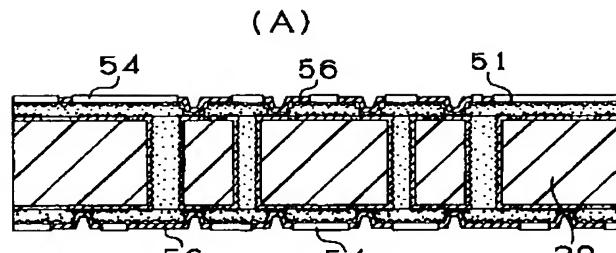
(B)



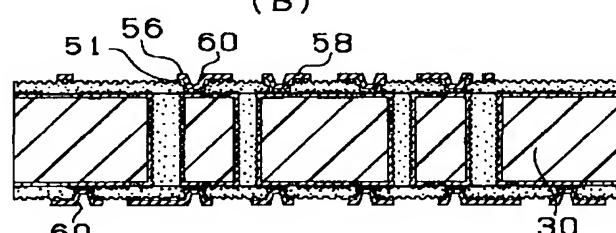
(C)



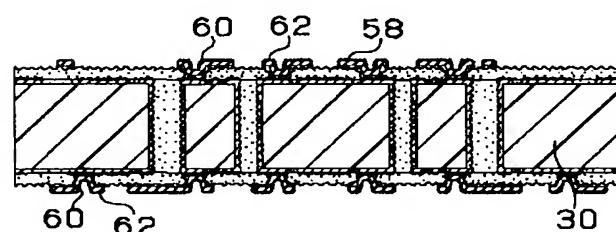
【図15】



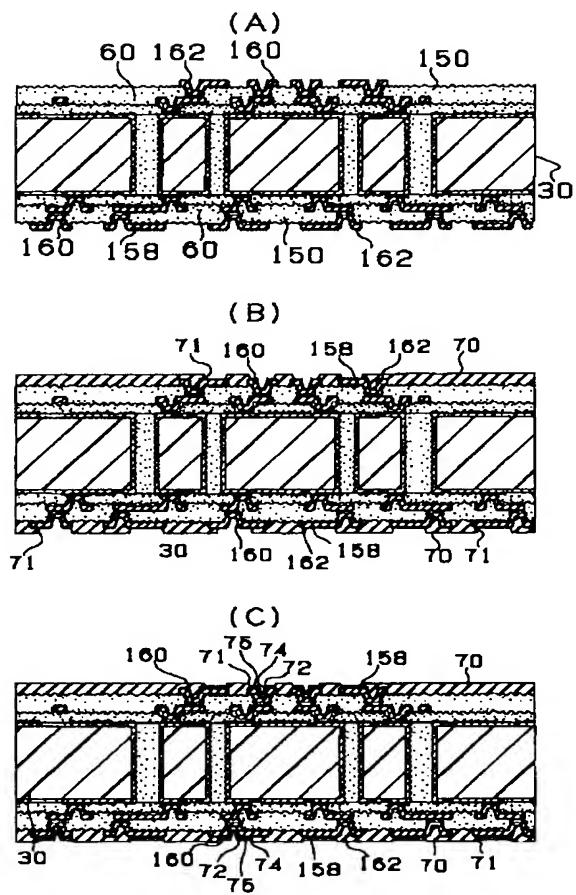
(B)



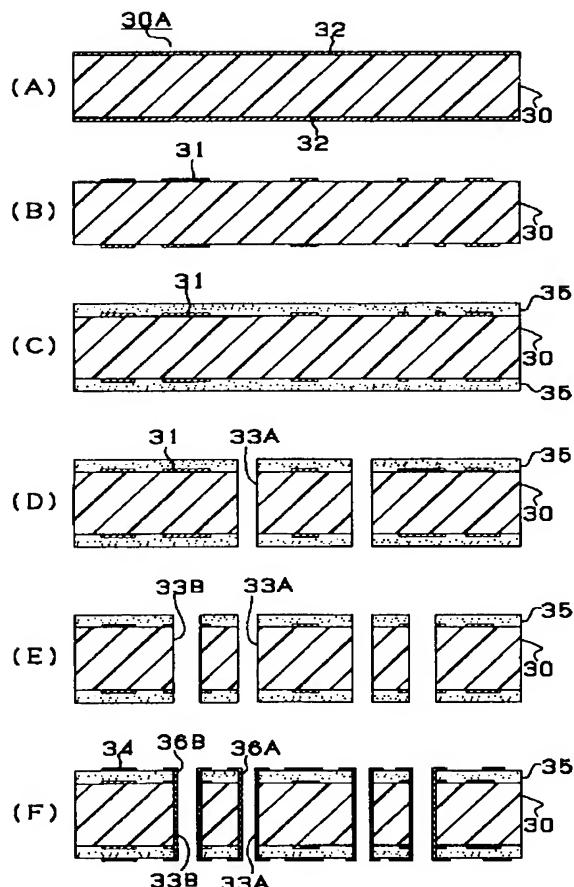
(C)



【図16】



【図18】



フロントページの続き

Fターム(参考) 5E346 AA42 AA60 BB02 BB03 BB04
 BB16 CC08 CC09 CC10 CC13
 CC37 DD17 DD32 EE33 FF13
 GG15 GG27 HH06